

MicroPatent® PatSearch Fulltext: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP (bibliographic data only) DE-C,B DE-A DE-T DE-U GB-A FR-A

Years: 1836-2005

Patent/Publication No.: ((JP2001005723))

[Order This Patent](#) [Family Lookup](#) [Find Similar](#) [Legal Status](#)

[Go to first matching text](#)

JP2001005723 A
SEMICONDUCTOR STORAGE
DEVICE AND MEMORY SYSTEM
USING THE DEVICE
MITSUBISHI ELECTRIC CORP

Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device which can be accessed fast and has nonvolatility of data.
SOLUTION: A semiconductor memory 8 includes a DRAM 9, a flash memory 11, and a transfer control circuit 12. The transfer control circuit 12 transfers data of the flash memory 11 to a DRAM

9 in response to the rise of a power source potential VDD, transfers the data of the DRAM 9 to the flash memory 11 in response to a signal PWOFF indicating that an external power switch is turned OFF, and outputs a signal READY for turning OFF an internal power switch 7. This device operates normally as the DRAM 9 and operates as the flash memory 11 when the power source is turned OFF.

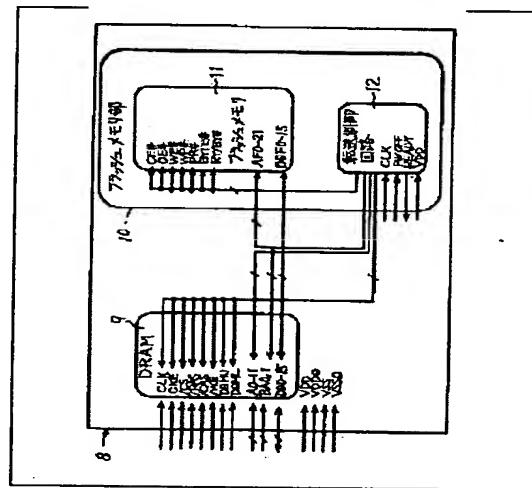
Inventor(s):

SUZUKI TOMIO

Application No. 11173852 **JP11173852 JP, Filed** 19990621, **A1 Published** 20010112

Int'l Class: G06F01206
G11C01604

Patents Citing This One No US, EP, or WO patent/search reports have cited this patent.



[Home](#)[Search](#)[List](#)[First](#)[Prev](#)[Go to](#)[Next](#)[Last](#)

For further information,
please contact:
[Technical Support](#) | [Billing](#)

| [Sales](#) | [General Information](#)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-005723
 (43)Date of publication of application : 12.01.2001

(51)Int.Cl.

G06F 12/06
G11C 16/04

(21)Application number : 11-173852
 (22)Date of filing : 21.06.1999

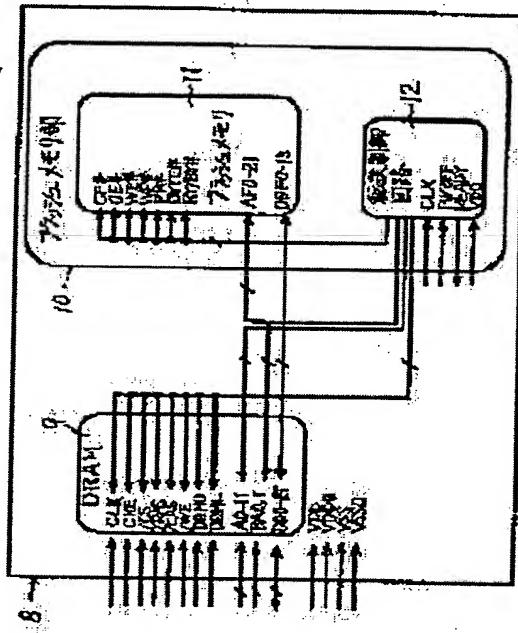
(71)Applicant : MITSUBISHI ELECTRIC CORP
 (72)Inventor : SUZUKI TOMIO

(54) SEMICONDUCTOR STORAGE DEVICE AND MEMORY SYSTEM USING THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device which can be accessed fast and has nonvolatility of data.

SOLUTION: A semiconductor memory 8 includes a DRAM 9, a flash memory 11, and a transfer control circuit 12. The transfer control circuit 12 transfers data of the flash memory 11 to a DRAM 9 in response to the rise of a power source potential VDD, transfers the data of the DRAM 9 to the flash memory 11 in response to a signal PWOFF indicating that an external power switch is turned OFF, and outputs a signal READY for turning OFF an internal power switch 7. This device operates normally as the DRAM 9 and operates as the flash memory 11 when the power source is turned OFF.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-5723

(P2001-5723A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl.⁷
G 0 6 F 12/06
5 2 2
5 1 5
5 2 0
G 1 1 C 16/04

識別記号
5 2 2
5 1 5
5 2 0

F I
G 0 6 F 12/06
5 2 2 B
5 1 5 H
5 2 0 F
G 1 1 C 17/00
6 2 5

テマコード(参考)
5 2 2 B 5 B 0 2 5
5 1 5 H 5 B 0 6 0
5 2 0 F

審査請求 未請求 請求項の数6 OL (全10頁)

(21)出願番号 特願平11-173852

(22)出願日 平成11年6月21日(1999.6.21)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 鈴木 富夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

F ターム(参考) 5B025 AC05 AE03 AE05

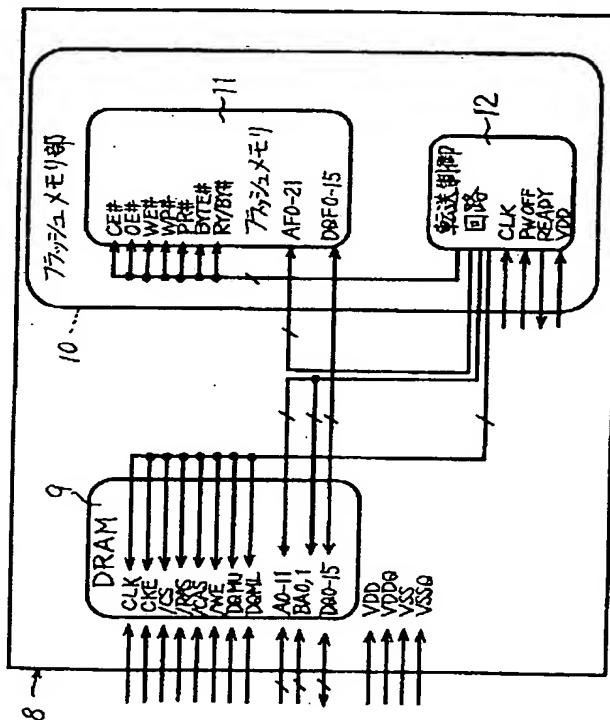
5B060 MM02

(54)【発明の名称】 半導体記憶装置およびそれを用いたメモリシステム

(57)【要約】

【課題】 高速アクセスが可能で、データの不揮発性を有する半導体記憶装置を提供する。

【解決手段】 半導体メモリ8は、DRAM9、フラッシュメモリ11および転送制御回路12を含む。転送制御回路12は、電源電位VDDの立上がりに応答してフラッシュメモリ11のデータをDRAM9に転送させ、外部電源スイッチ15がオフされたことを示す信号PW OFFが与えられたことに応じてDRAM9のデータをフラッシュメモリ11に転送させ、内部電源スイッチ7をオフさせるための信号READYを出力する。通常動作時はDRAM9として動作し、電源オフ時はフラッシュメモリ11として動作する。



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-5723

(P2001-5723A)

(43)公開日 平成13年1月12日 (2001.1.12)

(51)Int.Cl.⁷
G 0 6 F 12/06
5 2 2
5 1 5
5 2 0
G 1 1 C 16/04

識別記号
5 2 2
5 1 5
5 2 0

F I
G 0 6 F 12/06
G 1 1 C 17/00

テマコト^{*}(参考)
5 2 2 B 5 B 0 2 5
5 1 5 H 5 B 0 6 0
5 2 0 F
6 2 5

審査請求 未請求 請求項の数6 O.L. (全10頁)

(21)出願番号 特願平11-173852

(22)出願日 平成11年6月21日(1999.6.21)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 鈴木 富夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外3名)

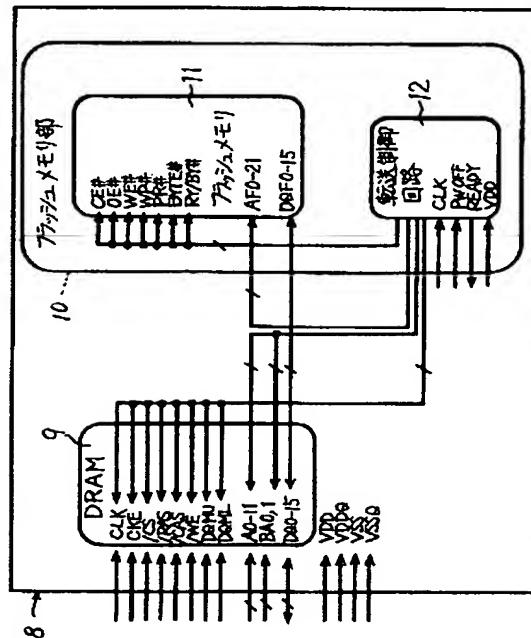
F ターム(参考) 5B025 AC05 AE03 AE05
5B060 MM02

(54)【発明の名称】 半導体記憶装置およびそれを用いたメモリシステム

(57)【要約】

【課題】 高速アクセスが可能で、データの不揮発性を有する半導体記憶装置を提供する。

【解決手段】 半導体メモリ8は、DRAM9、フラッシュメモリ11および転送制御回路12を含む。転送制御回路12は、電源電位VDDの立上がりに応答してフラッシュメモリ11のデータをDRAM9に転送させ、外部電源スイッチ15がオフされたことを示す信号PW OFFが与えられたことに応じてDRAM9のデータをフラッシュメモリ11に転送させ、内部電源スイッチ7をオフさせるための信号READYを出力する。通常動作時はDRAM9として動作し、電源オフ時はフラッシュメモリ11として動作する。



【特許請求の範囲】

【請求項1】 外部制御信号および外部アドレス信号に応答してデータの読み出し/書きを行なう半導体記憶装置であつて、通常動作時は前記外部制御信号および前記外部アドレス信号に応答して前記データの読み出し/書きを行なう揮発性半導体記憶装置、そのデータ入出力端子が前記揮発性半導体記憶装置のデータ入出力端子に接続された不揮発性半導体記憶装置、前記半導体記憶装置に電源電圧が与えられたことに応じて、前記不揮発性半導体記憶装置のデータを前記揮発性半導体記憶装置に転送させる第1の転送制御回路、前記不揮発性半導体記憶装置から前記揮発性半導体記憶装置へのデータ転送が終了したことに応じて、前記通常動作時に前記不揮発性半導体記憶装置の記憶データを消去するデータ消去回路、および前記電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて前記揮発性半導体記憶装置のデータを前記不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて前記電源電圧の供給の停止を許可するための電源停止許可信号を出力する第2の転送制御回路を含み、前記電源回路は、

発性半導体記憶装置に転送させる第1の転送制御回路、前記不揮発性半導体記憶装置から前記揮発性半導体記憶装置へのデータ転送が終了したことに応じて、前記通常動作時に前記揮発性半導体記憶装置の記憶データを消去するデータ消去回路、および前記電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて前記揮発性半導体記憶装置のデータを前記不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて前記電源電圧の供給の停止を許可するための電源停止許可信号を出力する第2の転送制御回路を含み、

その一方電極が外部電源電圧を受ける外部電源スイッチ、

前記外部電源スイッチが非導通状態にされたことに応じて前記電源停止予告信号を前記第2の転送制御回路に与える信号発生回路、

前記外部電源スイッチの他方電極に接続され、前記外部電源スイッチを介して与えられた外部電源電圧を前記電源電圧に変換する電圧変換回路と、該電圧変換回路で生成された電源電圧で充電された電池とを含む電源、およびその一方電極が前記電源の前記電池の出力電圧を受け、その他方電極が前記半導体記憶装置の電源端子に接続され、前記外部電源スイッチが導通状態にされたことに応じて導通し、前記第2の転送制御回路から前記電源停止許可信号が出力されたことに応じて非導通になる内部電源スイッチを含む、メモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置およびそれを用いたメモリシステムに関し、特に、外部制御信号および外部アドレス信号に応答してデータの読み出し/書きを行なう半導体記憶装置およびそれを用いたメモリシステムに関する。

【0002】

【従来の技術】現在種々の用途に使用されているDRAMは、高速アクセスが可能であるが、揮発性メモリであるため電源をオフした場合は記憶されていた情報が失われてしまう。このため、ハードディスクやフラッシュメモリカードなどの不揮発性記憶媒体にDRAMの情報を書込んでからDRAMの電源をオフする必要がある。また再度電源を投入した後は、まずハードディスクやフラッシュメモリカードなどの不揮発性記憶媒体の中の一部のデータをDRAMに書込む必要がある。

【0003】たとえばパソコン用の主記憶としてDRAMが使用されているが、電源投入直後にはDRAMには何も記憶されていないので、まず最初に、キーボードあるいはハードディスクとのデータのやり取りをするための基本プログラムなどをDRAMに書込む必要がある。通常、上記の基本プログラムなどはROM

に記憶されているものを使用するため、パーソナルコンピュータのマザーボードには、DRAMと、ROMと、ROMからDRAMへデータを転送するためのデータバスおよび制御回路を実装する必要があった。

【0004】

【発明が解決しようとする課題】しかし、上記ROMからDRAMへのデータ転送は低速であるため、パーソナルコンピュータに電源を投入してから実際にパーソナルコンピュータで作業が開始できるまでにある程度の時間を要し、この時間を短縮できないという問題があった。

【0005】それゆえに、この発明の主たる目的は、高速アクセスが可能で、かつデータの不揮発性を有する半導体記憶装置およびそれを用いたメモリシステムを提供することである。

【0006】

【課題を解決するための手段】請求項1に係る発明は、外部制御信号および外部アドレス信号に応答してデータの読み出し/書き込みを行う半導体記憶装置であって、揮発性半導体記憶装置、不揮発性半導体記憶装置、第1の転送制御回路、データ消去回路、および第2の転送制御回路を備える。揮発性半導体記憶装置は、通常動作時は外部制御信号および外部アドレス信号に応答してデータの読み出し/書き込みを行う。不揮発性半導体記憶装置のデータ入出力端子は揮発性半導体記憶装置のデータ入出力端子に接続される。第1の転送制御回路は、半導体記憶装置に電源電圧が与えられたことに応じて、不揮発性半導体記憶装置のデータを揮発性半導体記憶装置に転送させる。データ消去回路は、不揮発性半導体記憶装置から揮発性半導体記憶装置へのデータ転送が終了したことに応じて、通常動作時に不揮発性半導体記憶装置の記憶データを消去する。第2の転送制御回路は、電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて揮発性半導体記憶装置のデータを不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて電源電圧の供給の停止を許可するための電源停止許可信号を出力する。

【0007】請求項2に係る発明では、請求項1に係る発明の半導体記憶装置は、1つのパッケージ内に収容されている。

【0008】請求項3に係る発明では、請求項1に係る発明の半導体記憶装置は、複数のパッケージ内に分割して収容されてモジュール化されている。

【0009】請求項4に係る発明では、請求項2または3に係る発明の揮発性半導体記憶装置の少なくとも一部を含むチップと不揮発性半導体記憶装置の少なくとも一部を含むチップとは、パッケージ内で積層されている。

【0010】請求項5に係る発明では、請求項1から4のいずれかに係る発明の揮発性半導体記憶装置はDRAMであり、不揮発性半導体記憶装置はフラッシュメモリである。

【0011】請求項6に係る発明は、メモリシステムであって、外部制御信号および外部アドレス信号に応答してデータの読み出し/書き込みを行なう半導体記憶装置と、半導体記憶装置に電源電圧を与えるための電源回路を備える。半導体記憶装置は、揮発性半導体記憶装置、揮発性半導体記憶装置、第1の転送制御回路、データ消去回路、および第2の転送制御回路を含む。揮発性半導体記憶装置は、通常動作時は外部制御信号および外部アドレス信号に応答してデータの読み出し/書き込みを行なう。不揮発性半導体記憶装置のデータ入出力端子は揮発性半導体記憶装置のデータ入出力端子に接続される。第1の転送制御回路は、半導体記憶装置に電源電圧が与えられたことに応じて、不揮発性半導体記憶装置のデータを揮発性半導体記憶装置に転送させる。データ消去回路は、不揮発性半導体記憶装置から揮発性半導体記憶装置へのデータ転送が終了したことに応じて、通常動作時に不揮発性半導体記憶装置の記憶データを消去する。第2の転送制御回路は、電源電圧の供給が停止されることを予告するための電源停止予告信号が与えられたことに応じて揮発性半導体記憶装置のデータを不揮発性半導体記憶装置に転送させ、そのデータ転送が終了したことに応じて電源電圧の供給の停止を許可するための電源停止許可信号を出力する。電源回路は、外部電源スイッチ、信号発生回路、電源、および内部電源スイッチを含む。外部電源スイッチの一方電極は外部電源電圧を受ける。信号発生回路は、外部電源スイッチが非導通状態にされたことに応じて電源停止予告信号を第2の転送制御回路に与える。電源は、外部電源スイッチの他方電極に接続され、外部電源スイッチを介して与えられた外部電源電圧を電源電圧に変換する電圧変換回路と、その電圧変換回路で生成された電源電圧で充電された電池と含む。内部電源スイッチは、その一方電極が電源の電池の出力電圧を受け、その他方電極が半導体記憶装置の電源端子に接続され、外部電源スイッチが導通状態にされたことに応じて導通し、第2の転送制御回路から電源停止許可信号が出力されたことに応じて非導通になる。

【0012】

【発明の実施の形態】図1は、この発明の一実施の形態によるパーソナルコンピュータのマザーボード1の要部を示すブロック図である。図1を参照して、このマザーボード1は、CPU2、ASIC3、信号発生回路4、メモリコントローラ5、直流電源6、内部電源スイッチ7、および半導体メモリ8を備える。

【0013】CPU2は、各種の演算および制御動作を実行する。ASIC3は、キーボード、ハードディスク、液晶パネルなどの表示装置などとデータの授受を行なうための特定用途向け半導体集積回路装置である。

【0014】信号発生回路4は、外部電源スイッチ15の出力端子に接続され、信号φ1を生成してメモリコントローラ5に与える。信号φ1は、外部電源スイッチ1

うがオンされて交流電源電圧VACが与えられたことに応じて「H」レベルとなり、外部電源スイッチ15がオフされたことに応じて「L」レベルとなる。

【0015】メモリコントローラ5は、CPU2と主記憶である半導体メモリ8との間でデータの授受を行なう。また、メモリコントローラ5は、外部電源スイッチ15がオンされて信号φ1が「H」レベルになったことに応じて信号φ1'を「H」レベルにして内部電源スイッチ7をオンさせ、外部電源スイッチ15がオフされて信号φ1が「L」レベルになったことに応じてパルス信号PWOFF(電源停止予告信号)を半導体メモリ8に与え、半導体メモリ8から信号READY(電源停止許可信号)が与えられたことに応じて信号φ1'を「L」レベルにして内部電源スイッチ7をオフさせる。

【0016】直流電源6は、外部電源スイッチ15を介して与えられる交流電源電圧VACを整流、平滑化などしてマザーボード1用の直流電源電圧VCC, VDD, VDDQに変換する電圧変換回路と、それぞれが電圧変換回路で生成された複数の直流電源電圧VCC, VD D, VDDQで充電される複数の充電式電池とを含む。直流電源6は、充電式電池を内蔵しているので、外部電源スイッチ15がオフされて交流電圧VACの供給が停止されても所定時間は電源電圧VCC, VDD, VDD Qを供給する。直流電源6で生成された電源電位VC C, VDD, VDDQおよび接地電位VSS, VSSQは内部電源スイッチ7に与えられる。

【0017】内部電源スイッチ7は、メモリコントローラ5からの信号φ1'が「H」レベルの期間はオンして電源電位VDD, VDDQおよび接地電位VSS, VS SQを半導体メモリ8に与えるとともに電源電位VCCをCPU2, ASIC3, メモリコントローラ5などに与え、信号φ1'が「L」の期間はオフして電源電位V CC, VDD, VDDQおよび接地電位VSS, VSS Qの供給を遮断する。

【0018】半導体メモリ8は、電源電位VDD, VD DQおよび接地電位VSS, VSSQによって駆動され、メモリコントローラ5から与えられたデータを記憶するとともに、読み出したデータをメモリコントローラ5に与える。すなわち、半導体メモリ8は、図2に示すように、DRAM9およびフラッシュメモリ部10を備え、フラッシュメモリ部10はフラッシュメモリ11および転送制御回路12を含む。

【0019】DRAM9は、通常動作時はメモリコントローラ5からクロック信号CLK、制御信号CKE, /CS, /RAS, /CAS, /WE, DQMU, DQM L、およびアドレス信号A0～A11, BA0, BA1を受け、書き動作時はメモリコントローラ5から与えられたデータDQ0～DQ15を記憶し、読み出動作時は読み出データをメモリコントローラ5に与える。

【0020】また、DRAM9は、データ取出時および

データ格納時は転送制御回路12からクロック信号CLK、制御信号CKE, /CS, /RAS, /CAS, /WE, DQMU, SQML、およびアドレス信号A0～A11, BA0, BA1を受け、データ取出時はフラッシュメモリ11の読み出データDQF0～DQF15を記憶し、データ格納時は読み出データDQ0～DQ15をフラッシュメモリ11に与える。

【0021】フラッシュメモリ11は、転送制御回路12から制御信号CE#, OE#, WE#, WP#, PR#, BYTE#, RY/BYTE#、アドレス信号AF0～AF21を受け、データ格納時はDRAM9の読み出データDQ0～DQ15を記憶し、データ取出時は読み出データDQF0～DQF15をDRAM9に与える。

【0022】転送制御回路12は、電源電位VDDの立上がりエッジに応答して、フラッシュメモリ11に格納されたデータをDRAM9に転送させ、データ転送を終了した後はフラッシュメモリ11のデータを一括消去する。また、転送制御回路12は、メモリコントローラ5から信号PWOFFが与えられたことに応じてDRAM9のデータをフラッシュメモリ11に転送させ、データ転送が終了したことに応じて信号READYをメモリコントローラ5に与える。

【0023】図3は図1および図2に示したマザーボード1の動作を示すフロー図、図4はその動作を示すタイムチャートである。まず①の電源オフ状態において外部電源スイッチ15がオンされると(時刻t0)、信号発生回路4に交流電源電圧VACが供給されて信号φ1が「H」レベルになり、信号φ1'が「H」レベルになって内部電源スイッチ7がオンされる。直流電源6の出力電位VDD, VDDQ, VSS, VSSQが半導体メモリ8に供給されるとともに直流電源6の出力電圧VCCがCPU2, ASIC3, メモリコントローラ5などに供給される。

【0024】電源電位VDDの立上がりエッジ(時刻t0)から所定時間経過した後、転送制御回路12によって②のデータ取出が行なわれる(時刻t1～t2)。すなわち、図5に示すように、クロック信号CLKに同期して読み出アドレス信号AF0～AF21と読み出コマンド(信号CE#, OE#が「L」レベルにされ、信号WE#, PR#が「H」レベルにされる)が転送制御回路12からフラッシュメモリ11に与えられる一方、書きコマンド(WR)と書きアドレス信号A0～A15が転送制御回路12からDRAM9に与えられ、フラッシュメモリ11に格納されていたデータが取出されてDRAM9に格納される。

【0025】②のデータ取出が終了した後は、③の通常動作が行なわれる(時刻t2～t3)。通常動作時はメモリコントローラ5から見て、半導体メモリ8はDRAM9として動作する。DRAM9は、メモリコントローラ5によってアクセスされない期間はアクセス待ちのア

アイドル状態となり(⑥)、アクセスされた場合はデータの読出／書込を行なう(⑦)。ただし、アイドル状態でも定期的にリフレッシュ動作が実施される。

【0026】一方、フラッシュメモリ11のデータは、この期間に消去される(⑧)。データの消去は、転送制御回路12によって行なわれる。このようにフラッシュメモリ11のデータを消去するのは、フラッシュメモリ11にデータを書込むためには、一旦全メモリセルのデータを消去しておく必要があるからである。全メモリセルのデータが消去されたフラッシュメモリ11は、アクセス待ちのアイドル状態となる(⑨)。

【0027】⑨の状態において外部電源スイッチ15がオフされると(時刻t3)、信号φ1が「L」レベルになるとともに直流電源6用の交流電源電圧VACの供給が停止される。上述のとおり直流電源6は充電式電池を含んでいるので交流電源電圧VACの供給が停止されても電源電圧VCC, VDD, VDDQを出し続ける。

【0028】また、信号φ1の「L」レベルへの立下がりエッジに応答してパルス信号PWFがメモリコントローラ5から転送制御回路12に出力され、これに応じて転送制御回路12によって④のデータ格納が行なわれる(時刻t3～t4)。すなわち、図6に示すように、クロック信号CLKに同期して読出コマンド(RD)と読出アドレス信号A0～A15が転送制御回路12からDRAM9に与えられる一方、書込コマンド(信号CE#, WE#)が「L」レベルにされ、信号OE#, PR#が「H」レベルにされる)および書込アドレス信号AF0～AF21が転送制御回路12からフラッシュメモリ11に与えられ、DRAM9の記憶データが取出されてフラッシュメモリ11に格納される。

【0029】転送制御回路12からフラッシュメモリ11に最後の書込アドレス信号が与えられた後、転送制御回路12からメモリコントローラ5に「H」レベルの信号READYが出力される(時刻t4)。これに応じて信号φ1が「L」レベルとなって内部電源スイッチ7がオフされ(時刻t5)、半導体メモリ8への電源電位VDD, VDDQおよび接地電位VSS, VSSQの供給が遮断される。

【0030】図7は、半導体メモリ8の構成を示す図である。パッケージ20の中央部にDRAMチップ9'が設けられ、その図中下側にフラッシュメモリチップ1'が設けられ、その図中上側に転送制御回路チップ12'が設けられる。チップ9', 11', 12'間はパッド21およびボンディングワイヤ22で接続されている。

【0031】パッケージ20の両側の長辺に沿って複数のピンP1～P54が所定のピッチで配置されている。ピンP1～P54の各々は、ボンディングワイヤ22によってDRAMチップ9'のパッド21に接続されている。ピンP1～P54は、電源電位VDD, VDDQお

より接地電位VSS, VSSQの印加、クロック信号CLK、制御信号CKE, /CS, /RAS, /CAS, /WE, DQM, DQL, アドレス信号A0～A11, BA0, BA1の入力、データDQ0～DQ15の入出力、信号PWFの入力、信号READYの出力に用いられる。

【0032】この実施の形態では、半導体メモリ8内にDRAM9、フラッシュメモリ11および転送制御回路12を設け、パソコン用コンピュータの外部電源スイッチ15がオンされたことに応じてフラッシュメモリ11のデータをDRAM9に転送し、通常動作時は半導体メモリ8をDRAM9として使用するとともにフラッシュメモリ11のデータを消去し、外部電源スイッチ15がオフされたことに応じてDRAM9のデータをフラッシュメモリ11に格納する。したがって、DRAMと同様に高速アクセスが可能でフラッシュメモリと同様にデータの不揮発性を有する半導体メモリ8を実現できる。

【0033】また、従来マザーボード1上に別途実装されていたROMが不要となりかつROMから主記憶へのデータ転送回路が不要となるため、マザーボード1の低コスト化が図られる。また、ROMから主記憶へのデータ転送が不要となるため、電源投入からパソコン用コンピュータが使用可能になるまでの時間が短縮される。

【0034】以下、この実施の形態の変更例について説明する。図8の変更例では、パッケージ30の中央部にDRAMチップ9'が設けられ、DRAMチップ9'の表面中央部にフラッシュメモリ部10のチップ10'が設けられる。チップ9'と10'は、複数のパッド21およびボンディングワイヤ22で接続される。なお、ピンは図面の簡単化のため省略されている。この変更例では、チップ9'と10'をパッケージ30内で積層したので、チップ9', 10'が占める面積が小さくなり、パッケージ30は小さくてすむ。

【0035】図9の変更例では、パッケージ40の中央部にDRAMチップ9'が設けられ、DRAMチップ9'の表面中央部にフラッシュメモリ部10のチップ10'が設けられる。チップ9'と10'は、複数のボール41で接続される。DRAMチップ9'のパッド21と外部ピンPはボンディングワイヤ22で接続される。チップ9', 10'は、樹脂42によって封止される。この変更例では、チップ9'と10'をパッケージ40内で積層し、かつチップ9'と10'をボール41で接続したので、チップ9', 10'が占める面積が小さくなり、パッケージ40が小さくてすむ。

【0036】また、DRAM9とフラッシュメモリ部10を1チップ化してもよい。チップの接続にバンプを用いることにより、より薄型のパッケージに封止できる。

【0037】また、図10に示すように、複数の半導体メモリ8を組立てて1つのメモリとして動作するモジュール50を構成してもよい。たとえば、当社の256M

B168 pin UnBuffered dual in lineモジュールの基板に本願発明の半導体メモリ8を8個搭載して256MBの高速アクセス可能な不揮発性メモリを実現することが可能である。この256MBのモジュールは、従来はROMに記憶させていたデータを半導体メモリ8のフラッシュメモリ11に予め記憶させておくことにより、パソコン用コンピュータの主記憶として使用することも可能である。これにより、従来パソコン用コンピュータのマザーボード上に設けられていたROMと主記憶の間のデータ転送用バス、その制御回路およびROMを不要とすることができる。また、本願発明の半導体メモリ8を用いて形成したモジュールを、従来のフロッピーやCD-ROMの代わりに使用してもよい。

【0038】図11の変更例では、複数の半導体メモリ8と制御回路52とでモジュール51が構成される。制御回路52は、モジュール51外の直流電源60から入力端子53を介して直流電源電位VDDを受け、モジュール51内の各半導体メモリ8に直流電源電位VDD、VDDQを与える。また、制御回路52は、直流電源60からの直流電源電位VDDの供給が停止されたことに応じて信号PWFを各半導体メモリ8に与え、全半導体メモリ8から信号READYが出力されたことに応じて各半導体メモリ8への直流電源電位VDD、VDDQの供給を停止する。

【0039】すなわち、直流電源60は、図12に示すように、外部電源スイッチ15を介して与えられる交流電源電圧VACを直流電源電位VDDに変換する。制御回路52は、充電式電池61、内部電源スイッチ62、信号発生回路63およびANDゲート64を含む。充電式電池61は、直流電源60からの直流電源電位VDDで充電され、直流電源電位VDD、VDDQを出力する。充電式電池61は、直流電源60からの直流電源電位VDDの供給が停止されても、所定時間は直流電源電位VDD、VDDQを出力し続ける。

【0040】内部電源スイッチ62は、充電式電池61の出力電位VDD、VDDQを受け、制御信号 $\phi 1'$ が「H」レベルの期間はオンして直流電源電位VDD、VDDQを各半導体メモリ8に与え、制御信号 $\phi 1'$ が「L」レベルの期間はオフして直流電源電位VDD、VDDQの半導体メモリ8への供給を停止する。ANDゲート64は、全半導体メモリ8から信号READYを受ける。ANDゲート64の出力信号 $\phi 64$ は、すべての信号READYが「H」レベルになったことに応じて「H」レベルとなる。

【0041】信号発生回路63は、外部電源スイッチ15がオンされて直流電源60から直流電源電位VDDが输出されたことに応じて信号 $\phi 1'$ を「H」レベルにして内部電源スイッチ62をオンさせ、外部電源スイッチ15がオフされて直流電源60からの直流電源電位VDDの出力が停止されたことに応じてパルス信号PWF

Fを各半導体メモリ8に与え、全半導体メモリ8からの信号READYが「H」レベルになってANDゲート64の出力信号 $\phi 64$ が「H」レベルになったことに応じて信号 $\phi 1'$ を「L」レベルにし内部電源スイッチ62をオフさせる。

【0042】この変更例では、制御回路52が信号PWFを生成するとともに信号READYに応答して内部電源スイッチ62を制御するので、この機能をメモリコントローラに負担させていた図1のシステムに比べてメモリコントローラの構成の簡単化を図ることができる。

【0043】なお、図11の変更例では、DRAM、フラッシュメモリおよび転送制御回路を1つのパッケージ内に封入した半導体メモリ8でモジュール51を構成したが、これに限るものではなく、従来のDRAM、フラッシュメモリおよびASICなどで転送制御回路を実現したチップをモジュール基板上に別々に搭載してもよい。

【0044】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

【0045】

【発明の効果】以上のように、請求項1に係る発明の半導体記憶装置では、通常動作時は外部制御信号および外部アドレス信号に応答してデータの読出／書きを行なう揮発性半導体記憶装置と、そのデータ入出力端子が揮発性半導体記憶装置のデータ入出力端子に接続された不揮発性半導体記憶装置と、電源電圧が与えられたことに応じて不揮発性半導体記憶装置のデータを揮発性半導体記憶装置に転送する第1の転送制御回路と、データ転送終了後の通常動作時に不揮発性半導体記憶装置のデータを消去するデータ消去回路と、電源停止予告信号が与えられたことに応じて揮発性半導体記憶装置のデータを不揮発性半導体記憶装置に転送し、そのデータ転送が終了したことに応じて電源停止許可信号を出力する第2の転送制御回路とが設けられる。したがって、通常動作時は揮発性半導体記憶装置として動作し、電源をオフしてもデータが失われない半導体記憶装置を実現できる。

【0046】請求項2に係る発明では、請求項1に係る発明の半導体記憶装置は、1つのパッケージ内に収容されている。この場合は、半導体記憶装置の取扱いが容易になる。

【0047】請求項3に係る発明では、請求項1に係る発明の半導体記憶装置は、複数のパッケージ内に分割して収容されてモジュール化されている。この場合は、半導体記憶装置の取扱いが容易になり、かつ記憶容量の大容量化が可能となる。

【0048】請求項4に係る発明では、請求項2または3に係る発明の揮発性半導体記憶装置の少なくとも一部を含むチップと不揮発性半導体記憶装置の少なくとも一部を含むチップとは、パッケージ内で積層されている。この場合は、パッケージの小型化が可能となる。

【0049】請求項5に係る発明では、請求項1から4のいずれかに係る発明の揮発性半導体記憶装置はDRAMであり、不揮発性半導体記憶装置はフラッシュメモリである。この発明は、この場合に特に有効となる。

【0050】請求項6に係る発明のメモリシステムは、請求項1に係る発明の半導体記憶装置と、その半導体記憶装置に電源電圧を与えるための電源回路を備え、電源回路は、その一方電極が外部電源電圧を受ける外部電源スイッチと、外部電源スイッチが非導通状態にされたことに応じて電源停止予告信号を第2の転送制御回路に与える信号発生回路と、外部電源スイッチを介して与えられた外部電源電圧から生成された内部電源電圧で充電される電池を含む電源と、外部電源スイッチが導通状態にされたことに応じて電池の出力電圧を半導体記憶装置に与え、電源停止許可信号に応答して電池の出力電圧の供給を停止する外部電源スイッチとを含む。この場合は、通常動作時は揮発性半導体記憶装置として動作し、電源をオフしてもデータが失われない半導体記憶装置を実現でき、かつ外部電源スイッチが非導通にされたときに揮発性半導体記憶装置のデータが不揮発性半導体記憶装置に容易に転送できる。

【図面の簡単な説明】

【図1】この発明の一実施の形態によるパソコン用コンピュータのマザーボードの構成を示すブロック図である。

【図2】図1に示した半導体メモリの構成を示すブロック図である。

【図3】図1に示したマザーボードの動作を示すフローフォームである。

【図4】図1に示したマザーボードの動作を示すタイムチャートである。

【図5】図2に示した半導体メモリのデータ取出動作を示すタイムチャートである。

【図6】図2に示した半導体メモリのデータ格納動作を示すタイムチャートである。

【図7】図2に示した半導体メモリの構成を示す図である。

【図8】この実施の形態の変更例を示す図である。

【図9】この実施の形態の他の変更例を示す図である。

【図10】この実施の形態のさらに他の変更例を示す図である。

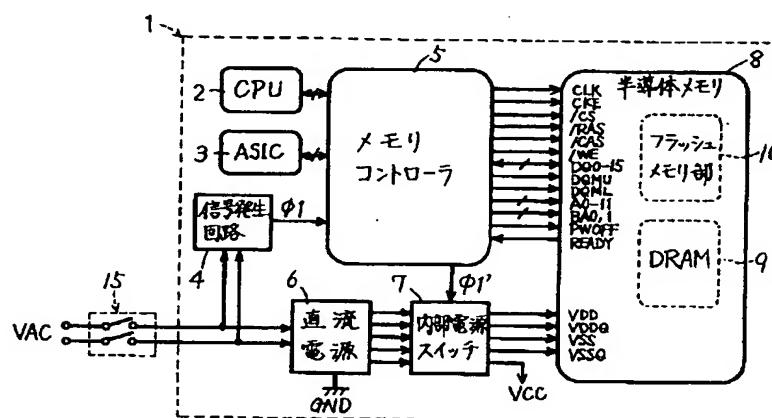
【図11】この実施の形態のさらに他の変更例を示す図である。

【図12】図11に示した制御回路の構成を示す回路ブロック図である。

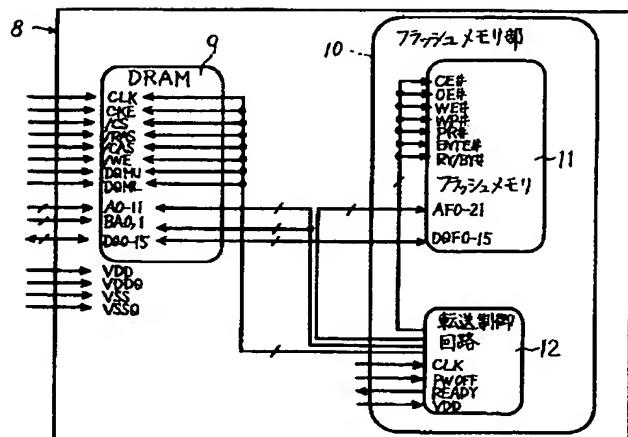
【符号の説明】

- 1 マザーボード、2 CPU、3 ASIC、4, 6 3 信号発生回路、5 メモリコントローラ、6, 60 直流電源、7, 62 内部電源スイッチ、8 半導体メモリ、9 DRAM、9' DRAMチップ、10 フラッシュメモリ部、10' フラッシュメモリ部のチップ、11 フラッシュメモリ、11' フラッシュメモリチップ、12 転送制御回路、12' 転送制御回路チップ、15 外部電源スイッチ、20, 30, 40 パッケージ、21 バッド、22 ポンディングワイヤ、41 ポール、50, 51 モジュール、52 制御回路、53 端子、61 充電式電池、64 ANDゲート、P ピン。

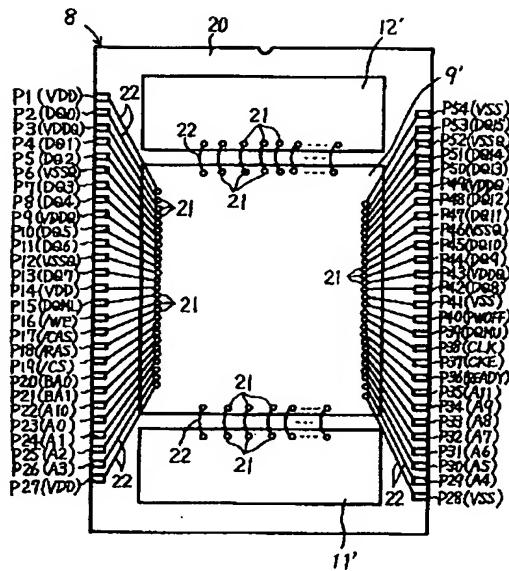
【図1】



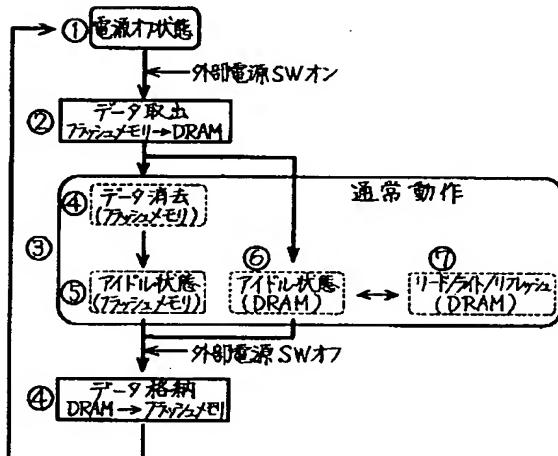
〔図2〕



【図7】

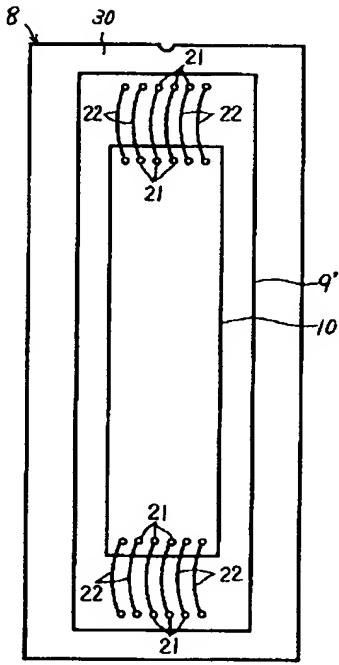
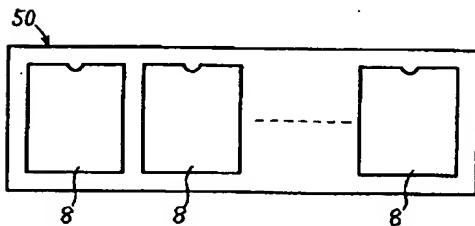


〔図3〕

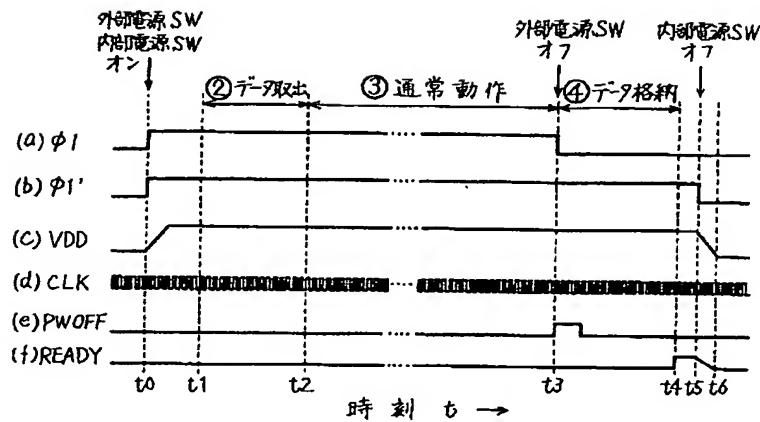


〔図8〕

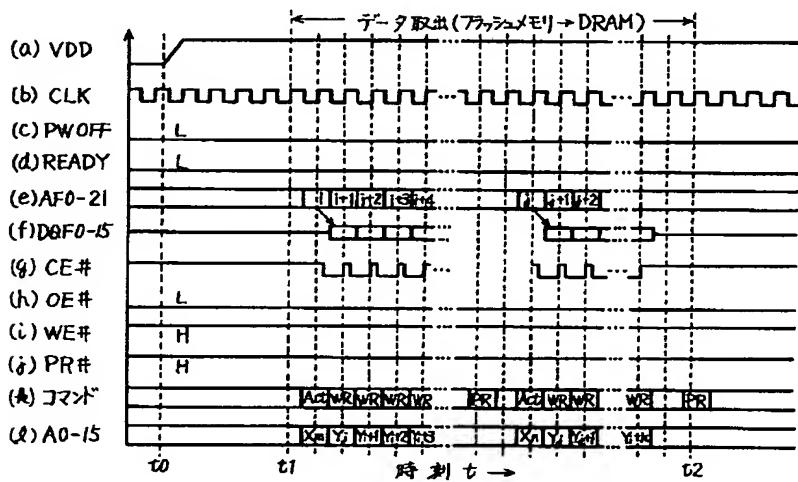
【四】



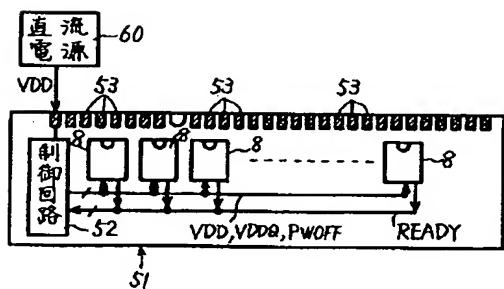
【図4】



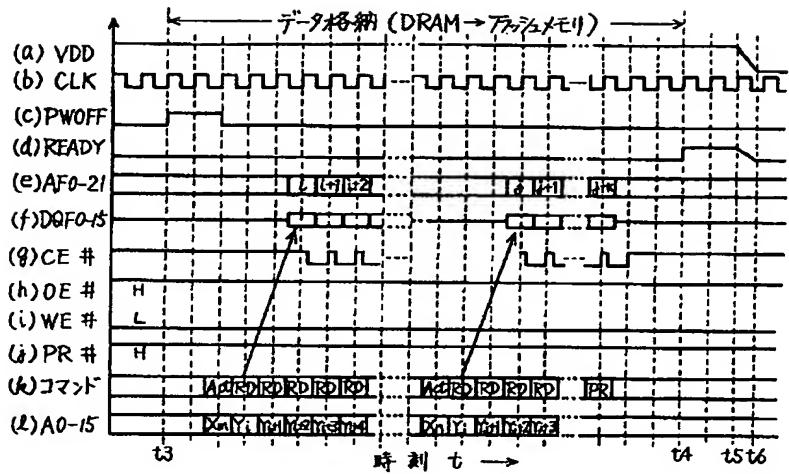
【図5】



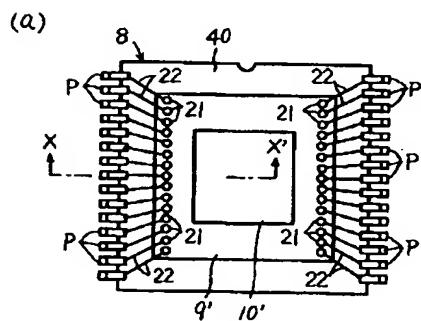
【図11】



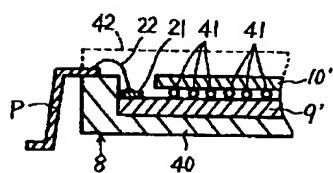
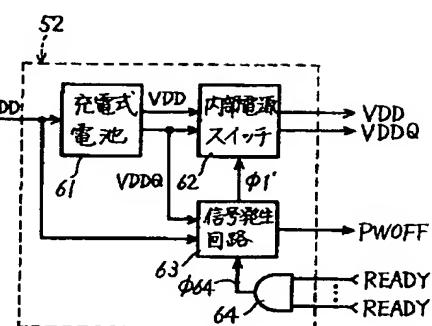
【図6】



【図9】



【図12】



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(II)特許出願公開番号

特開2003-6041

(P2003-6041A)

(43)公開日 平成15年1月10日(2003.1.10)

(51)Int.Cl.
G 06 F 12/06
12/00
G 11 C 11/406
11/41

識別記号
5 1 5
5 5 0

F I
C 06 F 12/06
12/00
G 11 C 11/34

チ-7コ-ト*(参考)
5 1 5 H 5 B 0 1 5
5 5 0 B 5 B 0 6 0
5 5 0 K 5 M 0 2 4
Z
3 6 3 K

審査請求 未請求 請求項の数18 O L (全 20 頁)

(21)出願番号 特願2001-185771(P2001-185771)

(22)出願日 平成13年6月20日(2001.6.20)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田錦河台四丁目6番地
(71)出願人 000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号
(72)発明者 鮎川 一重
東京都国分寺市東恋ヶ窓一丁目280番地
株式会社日立製作所中央研究所内
(74)代理人 100075096
弁理士 作田 康夫

最終頁に統く

(54)【発明の名称】 半導体装置

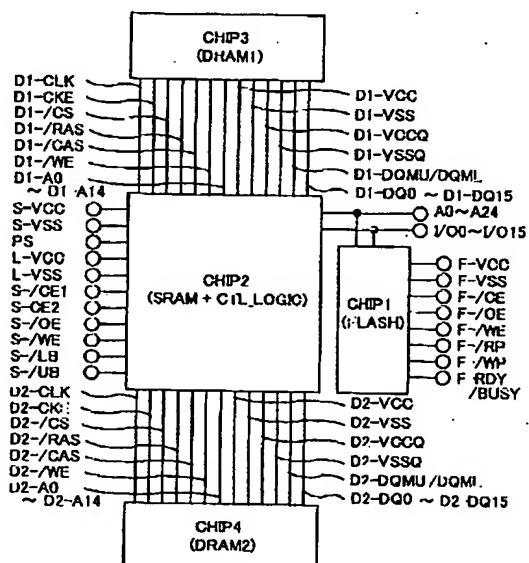
(57)【要約】

【課題】記憶容量が大きくかつデータ保持電流の少ないメモリを安価に実現すること。

【解決手段】不揮発性メモリ、SRAM、DRAM、制御回路を一つのパッケージにモジュール化する。制御回路によってSRAMへのアドレスとDRAMへのアドレスを割り当て、長期間保持することが必要なデータはSRAMへ保管する。DRAMは2チップを同じアドレス空間にマッピングし、リフレッシュを交代で行う。これら複数のチップは相互に積層して配置され、BGAやチップ間ボンディングによって配線される。

【効果】DRAMへの外部からリフレッシュを行う必要のない大容量メモリが実現される。また、データ保持領域とワークエリアを設定してそれぞれ電源制御を行うことによってデータ保持電流の低減がはかる。更に、複数の半導体チップを一つの封止体に実装することによって小型化が図れる。

或1



【特許請求の範囲】

【請求項1】第1キャパシタと第1MISFETをそれぞれに持つ複数の第1メモリセルを含む第1メモリと、前記第1メモリに対する第1アクセス信号の入力のための複数の第1ノードとを含む第1チップと、第2キャパシタと第2MISFETをそれぞれに持つ複数の第2メモリセルを含む第2メモリと、前記第2メモリに対する第2アクセス信号の入力のための複数の第2ノードとを含む第2チップと、前記複数の第1ノードに結合され前記第1チップに対する第1アクセス信号を供給する複数の第3ノードと、前記複数の第2ノードに結合され前記第2チップに対する第2アクセス信号を供給する複数の第4ノードと、外部アクセス信号を受けるための複数の第5ノードとを有するメモリコントローラを含む第3チップとを備え、前記メモリコントローラは、第1期間において前記外部アクセス信号を受けた場合には前記第1メモリに対してアクセスを行うよう第1アクセス信号を出し、第2期間において前記外部メモリアクセス信号を受けた場合には前記第2メモリに対してアクセスを行うよう第2アクセス信号を出力する半導体装置。

【請求項2】請求項1において、

前記メモリコントローラは、前記第1期間において、前記外部アクセス信号に対応して前記第1メモリに対する読み出しありは書きコマンド信号を前記第1アクセス信号として出力可能とされるとともに、前記第2メモリに対するリフレッシュを行うためのリフレッシュコマンド信号を前記第2アクセス信号として出力可能とされ、前記メモリコントローラは、前記第2期間において、前記外部アクセス信号に対応して前記第2メモリに対する読み出しありは書きコマンド信号を前記第2アクセス信号として出力可能とされるとともに、前記第1メモリに対するリフレッシュを行うためのリフレッシュコマンド信号を前記第1アクセス信号として出力可能とされる半導体装置。

【請求項3】請求項2において、前記第1メモリと前記第2メモリとは同じ情報を重複して記憶する期間を有する半導体装置。

【請求項4】請求項1において、前記第1期間において、前記メモリコントローラは、前記第1メモリにデータ書きが起きた場合には、当該書きデータは所定の手順で前記第2メモリの対応するアドレスの前記第2メモリセルに転写される半導体装置。

【請求項5】請求項1において、前記メモリコントローラは、前記第1期間と前記第2期間とを交互に時分割で発生する半導体装置。

【請求項6】請求項1において、前記半導体装置は、前記第1メモリに対する読み出し／書き込み許容期間であるとともに前記第2メモリに対するリフレッシュ期間となる前記第1期間と、前記第1メモリに対するリフレッシュ

期間となるとともに前記第2メモリに対する読み出し／書き込み許容期間である前記第2期間とを交互に繰り返す半導体装置。

【請求項7】請求項1において、前記第1及び第2チップのそれぞれはDRAMメモリチップであり、前記第3チップはSRAMメモリを更に含み、前記第3チップの前記複数の第5ノードに供給される前記外部アクセス信号はSRAMインターフェースである半導体装置。

【請求項8】請求項1において、前記半導体装置は、前記第1、第2、及び第3チップが内部に含まれる封止体をさらに有し、前記封止体は、前記第3チップと電気的接続をするための複数の第1電極と、前記複数の第1電極に接続され前記封止体の外部に対して電気的接続をするための複数の第2電極とを有する半導体装置。

【請求項9】請求項8において、前記封止体は基板を含み、

前記第1電極は前記基板の第1主面に設けられるとともに、前記第1、第2、及び第3チップは前記第1主面に搭載され、前記基板の前記第1主面は封止物で覆われ、

前記第2電極は前記基板の前記第1主面に対して対向する側に設けられた第2主面に形成される半導体装置。

【請求項10】請求項9において、前記は前記第1、第2、及び第3チップはレジン樹脂により封止される半導体装置。

【請求項11】請求項1において、前記半導体装置は、不揮発性メモリと前記不揮発性メモリに対する外部アクセス信号を受けるための複数の第5ノードとが含まれる第4チップと、前記半導体装置外部からのアドレス信号受けるためのアドレス信号端子と、前記半導体装置外部とのデータの入出力のためのデータ入出力端子とを更に有し、

前記第1及び第2チップの前記第1及び第2メモリに対するアクセスの際に、所定のアドレスと所定のデータは前記アドレス信号端子及び前記データ入出力端子を介して供給され、前記第4チップの前記前記不揮発性メモリブロックに対するアクセスに際に、所定のアドレスと所定のデータは前記アドレス信号端子及び前記データ入出力端子を介して供給される半導体装置。

【請求項12】請求項1において、前記半導体装置は、前記第1及び第2メモリに対するアクセス制御するための信号が供給される複数の第1制御信号端子と、前記不揮発性メモリのアクセス制御のための信号が供給される複数の第2制御信号端子と、前記第1から第4半導体チップに対する複数の電源端子とを更に有する半導体装置。

【請求項13】請求項1において、前記第1及び第2チップのそれぞれは、クロックに同期したコマンドにより

読出し／書込みを行うダイナミック・ランダムアクセスメモリ(DRAM)チップであり、前記第4チップは、フラッシュメモリチップである半導体装置。

【請求項14】第1DRAMチップと、

第2DRAMチップと、

前記第1及び第2DRAMチップに結合され、前記第1DRAMチップに対する第1アクセス信号を供給する複数の第1ノードと、前記第2DRAMチップに対する第2アクセス信号を供給する複数の第2ノードと、外部アクセス信号を受けるための複数の第3ノードとを有するメモリコントローラを含むチップと、

不揮発性メモリチップと、

前記不揮発性メモリチップ及び前記メモリコントローラを含むチップに共通に結合され、前記半導体装置外部からのアドレス信号を受けるための複数のアドレス信号端子と、

前記不揮発性メモリチップ及び前記メモリコントローラを含むチップに共通に結合され、前記半導体装置外部からのデータの入出力のための複数のデータ入出力端子とを有する半導体装置。

【請求項15】請求項14において、前記半導体装置は、前記第1及び第2DRAMチップに対するアクセス制御するための信号が前記メモリコントローラへの制御信号として供給される複数の第1制御信号端子と、前記不揮発性メモリのアクセス制御のための信号が供給される複数の第2制御信号端子とを更に含む半導体装置。

【請求項16】請求項15において、

前記半導体装置は、前記第1DRAMチップと、前記第2DRAMチップと、前記メモリコントローラを含むチップと、前記不揮発性メモリチップとが内部に含まれる封止体をさらに有し、

前記複数のアドレス信号端子、前記複数のデータ入出力端子、前記複数の第1制御信号端子、及び前記複数の第2制御信号端子は前記封止体の外部に露出する半導体装置。

【請求項17】請求項16において、前記半導体装置の外部から前記第1DRAMチップ及び第2DRAMチップに対するアクセスはSRAMインターフェースで行われ、前記半導体装置の外部からはアクセスにおいては、前記第1及び第2DRAMチップに対するリフレッシュによって生ずるビジー期間は生じない半導体装置。

【請求項18】請求項14において、前記第1メモリと前記第2メモリとは重複したアドレス空間を持ち同じ情報を重複して記憶する期間を有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複合型メモリ半導体装置に関し、特にDRAMと不揮発性メモリを一体に含む半導体装置に関する。

【0002】

【従来の技術】この明細書で参照される文献のリストは以下の通りであり、文献の参照は文献番号をもつてすることとする。【文献1】：LRS1337 Stacked Chip 32M Flash Memory and 4M SRAM Data Sheet ([平成12年4月21日検索]、インターネット<URL:<http://www.sharspsma.com/index.html>>)、【文献2】：特開平5-299616号公報(対応欧州特許公開公報566,306号、1993年10月20日)、【文献3】：特開平8-305680号公報、【文献4】：特開平11-204721号公報、【文献5】：特開平10-11348号公報。

【0003】【文献1】には、フラッシュメモリ(32Mbit容量)とSRAM(4Mbit容量)とがスタックチップでFBGA型パッケージに一体封止された複合型半導体メモリが記載される。フラッシュメモリとSRAMとはFBGA型パッケージの入出力電極に対してアドレス入力端子とデータ入出力端子が共通化されている。但し各々の制御端子はそれぞれ独立とされている。

【0004】【文献2】の図17には、フラッシュメモリチップとDRAMチップとがリードフレーム型パッケージに一体封止された複合型半導体メモリが記載される。また、図1にはフラッシュメモリとDRAMとはパッケージの入出力電極に対してアドレス入力端子、データ入出力端子、及び制御端子が共通化されて入出力されるものが記載されている。

【0005】【文献3】には、ダイパッド上にSRAMチップが搭載され、そのSRAMチップ上にバンプ電極を介して接続されたフラッシュメモリチップとマイコンチップとが搭載され、それらのチップがリード端子型のパッケージに一体封止された半導体装置が記載される。

【0006】【文献4】の図15には、1つの大型チップの裏面に絶縁プレートを介してそれよりも小型の2個のチップ搭載された、リードフレーム型のパッケージに一体封止された半導体装置が記載されている。搭載するチップの組合せとしてフラッシュメモリチップ、DRAMチップ、及びASIC(Application Specific IC)があり、これによりメモリロジック混載LSIが1つのパッケージで実現されると記載される。

【0007】【文献5】には、2つのDRAMブロックを有し、同じデータを2重化して記憶し、2つのDRAMブロック間でリフレッシュタイミングをずらし、外部からのアクセスとDRAMのリフレッシュの衝突を回避する技術が記載される。この制御はDRAMコントローラによって行われるが、このDRAMコントローラは2つのDRAMブロックに対して物理的に各々独立したアドレス信号や制御信号が発する。

【0008】

【発明が解決しようとする課題】本願発明者等は、本願に先立って携帯電話及びそれに使用されるフラッシュメモリとSRAMが1パッケージに実装されたメモリモジュールについて検討を行った。フラッシュメモリには携帯電

話システムのOS(オペレーションシステム)の他、通信やアプリケーションのプログラムが格納されている。一方、SRAMには電話番号、住所録、着信音等が記憶されているほか、アプリケーションの実行時に一時的に使用されるワークエリアが確保されている。

【0009】電話番号や住所録等、記憶しておくべきデータを保持するため、携帯電話の電源がオフになっている場合でもSRAMにはデータを保持するための電源が接続されている。長期にわたってデータを保持するためにはSRAMのデータ保持電流が小さい事が望ましい。しかしながら、アプリケーションが使用するワークエリアは携帯電話に付加される機能（音楽やゲーム等配信等）が増えるにつれて大きくなり、より大きな記憶容量のSRAMが必要となることが予想される。さらに最近の携帯電話は高機能化が目覚しく、SRAMの大容量化で対応することがしやすいに困難になってくることが判明した。即ちSRAMの大容量化には以下のような課題がある。大容量SRAMの課題は、記憶容量の増大分だけデータ保持電流が増加してしまう他に、ゲートリーク電流の増大によるデータ保持電流が増加する点にある。これは大容量SRAMを実現するために微細加工を導入してMOSトランジスタの酸化絶縁膜を薄膜化するとゲートから基板へトンネル電流が流れてしまいデータ保持電流が増えてしまうという理由による。

【0010】そこで本願発明の目的の一つは、記憶容量が大きくかつデータ保持電流の少ないメモリの実現にある。

【0011】

【課題を解決するための手段】本発明の代表的な手段の一例を示せば以下の通りである。第1及び第2のDRAMチップとそれらに対するアクセスを制御するメモリコントローラを含むチップを一つの封止体に実装した半導体装置を構成する。メモリコントローラは、第1期間において外部アクセス信号を受けた場合には前記第1DRAMチップに対してアクセスを行うよう第1アクセス信号を出力し、第2期間において外部メモリアクセス信号を受けた場合には前記第2DRAMチップに対してアクセスを行うよう第2アクセス信号を出力する。

【0012】即ち第1及び第2DRAMチップは基本的には同じデータを重複して保持するようにして外部からのアクセスとリフレッシュとの衝突を回避すればリフレッシュによるアクセスペナルティーの無い大容量メモリが実現される。

【0013】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。

＜実施例1＞図1は本発明を適用した半導体集積回路装置の一例であるメモリモジュールの第一の実施例を示したものである。本メモリモジュールは4つのチップによって構成されている。以下に夫々のチップについて説明する。

【0014】まず、CHIP1(FLASH)は不揮発性メモリである。不揮発性メモリにはROM(リードオンリーメモリ)、EEPROM(エレクトリカルイーリーサブルアンドプログラマブルROM)、フラッシュメモリ等を用いることが出来る。本実施例ではフラッシュメモリを例に説明する。CHIP2(SRAM+CTL_LOGIC)にはスタティックランダムアクセスメモリ(SRAM)と制御回路(CTL_LOGIC)が集積されている。制御回路はCHIP2に集積されたSRAMとCHIP3及びCHIP4の制御を行う。CHIP3(DRAM1)、CHIP4(DRAM2)はダイナミックランダムアクセスメモリ(DRAM)である。DRAMは内部構成やインターフェイスの違いからEDO、SDRAM、DDR等様々な種類がある。本メモリモジュールにはいずれのDRAMでも用いることが出来るが、本実施例では最も代表的なクロックに同期したコマンドにより読出し／書き込みを行うダイナミックランダムアクセスメモリであるSDRAMを例に説明する。

【0015】このメモリモジュールには外部からアドレス(A0～A24)とコマンド信号(S-/CE1, S-/CE2, S-/OE, S-/WE, S-/LB, S-/UB, F-/WE, F-/RP, F-/WP, F-RDY/BUSY, F-/CE, F-/OE)が入力される。電源はS-VCC, S-VSS, F-VCC, F-VSS, L-VCC, L-VSSを通して供給され、データの入出力にはI/O0～I/O15が用いられる。アドレス信号線及びデータ入出力線はCHIP1(FLASH)とCHIP2(SRAM+CTL_LOGIC)に共通して接続される。CHIP2はCHIP3及びCHIP4の動作に必要となるクロック(D1-CLK, D2-CLK)、アドレス(D1-A0～D1-A14, D2-A0～D2-A14)、コマンド(D1-CKE, D2-CKE, D1-/CS, D2-/CS, D1-/RAS, D2-/RAS, D1-/CAS, D2-/CAS, D1-/WE, D2-/WE, D1-DQMU/DQML, D2-DQMU/DQML)、DRAM用データ(D1-DQ0～D1-DQ15, D2-DQ0～D2-DQ15)、電源(D1-VCC, D2-VCC, D1-VSS, D2-VSS, D1-VCCQ, D2-VCCQ, D1-VSSQ, D2-VSSQ)を供給する。このメモリモジュールと外部との入出力ノードにはDRAMインターフェース用の信号端子は直接には見えなくしているところが特徴の一つである。

【0016】ここで各コマンド信号について簡単に説明する。CHIP2に入力されるS-/CE1, S-/CE2はチップイネーブル信号、S-/OEはアウトプットイネーブル信号、S-/WEはライトイネーブル信号、S-/LBはロアーバイト選択信号、S-/UBはアッパーべイト選択信号である。CHIP1に入力されるF-/WEはライトイネーブル信号、F-/RPはリセット/ディープパワーダウン信号、F-/WPはライトプロテクト信号、F-RDY/BUSYはレディ/ビジニアウトプット信号、F-/CEチップイネーブル信号、F-/OEはアウトプットイネーブル信号でフラッシュメモリの制御に用いられる。

【0017】本メモリモジュールは共通したアドレス線(A0～A24)、データ入出力線(I/00～I/015)を用いてフラッシュメモリ、SRAM、DRAMへアクセスすることが出来る。フラッシュメモリ(CHIP1)へアクセスする場合はアドレス線(A0～A24)の他、コマンド信号F-/WE、F-/RP、F-/WP、F-RDY/BUSY、F-/CE、F-/OEのうち必要な信号をアクティブにする。SRAM(CHIP2)又はDRAM(CHIP3、CHIP4)へアクセスする場合はアドレス線(A0～A24)の他、コマンド信号S-/CE1、S-/CE2、S-/OE、S-/WE、S-/LB、S-/UBのうち必要な信号をアクティブにする。いずれのアクセスもいわゆるSRAMインターフェイス方式によって行われる。

【0018】SRAMへのアクセスとDRAMへのアクセスは入力されるアドレスの値によって区別される、入力されたアドレスの値によって制御回路(CTL_LOGIC)がアクセス先を判定する。SRAMへのアクセスとなるアドレスの範囲とDRAMへのアクセスとなるアドレスの範囲は制御回路(CTL_LOGIC)に設けられたレジスタにあらかじめ値を設定しておくことによって決められる。

【0019】DRAMへアクセスする場合にはDRAMへのアクセスに必要なアドレス信号やコマンド信号類を制御回路(CTL_LOGIC)が生成し、DRAMへのアクセスを行う。リードアクセスの場合にはDRAMからの読み出しデータはDRAM用データI/O(D1-DQ0～D1-DQ15又はD2-DQ0～D2-DQ15)から一旦制御回路(CTL_LOGIC)に読み出され、その後メモリモジュールのデータ入出力線(I/00～I/015)へ出力される。ライトアクセスの場合は書き込みデータはメモリモジュールのデータ入出力線(I/00～I/015)から入力され、その後DRAM用データI/O(D1-DQ0～D1-DQ15及びD2-DQ0～D2-DQ15)を通してDRAM1及びDRAM2に入力される。

【0020】DRAM1及びDRAM2への電源はL-VCC、L-VSSから供給され、制御回路(CTL_LOGIC)を通してD1-VCC、D2-VCC、D1-VSS、D2-VSS、D1-VCCQ、D2-VCCQ、D1-VSSQ、D2-VSSQへ接続される。DRAMへの電源供給はコマンド信号PSによって制御され、必要に応じて切断することができる。切断したDRAMの電源を再投入する場合にはDRAMの初期化を行う必要がある。DRAMの初期化に必要な信号生成やタイミング制御は制御回路(CTL_LOGIC)が行う。

【0021】また、DRAMのリフレッシュを行う場合には制御回路(CTL_LOGIC)が定期的にバンクアクティブコマンドを投入して行うことが出来る。一般にDRAMのリフレッシュ特性は高温時に悪化するが、制御回路(CTL_LOGIC)に温度計を設けて高温時にバンクアクティブコマンドの投入間隔を狭めることによってDRAMをより広い温度範囲で使用することが出来る。

【0022】さらに、制御回路(CTL_LOGIC)によって1つのデータをDRAMの異なった2個所のアドレスに保持させた上で、リフレッシュを行うタイミングを調整することによってメモリモジュール外部からはリフレッシュ動作によってアクセスに制限が生じないようリフレッシュ

を隠蔽する。

【0023】以上説明した実施例によれば、SRAMインターフェイス方式を踏襲しながら安価な汎用DRAMを用いた大容量メモリモジュールが実現出来る。本発明によるメモリモジュールではDRAMが使用されているがDRAMに必要なリフレッシュはモジュール内部で実行されるためSRAMと同様にリフレッシュを考慮せずに使用することが出来る。また、モジュール内部で実行されるリフレッシュの間隔を温度によって変えることによってDRAMの使用温度範囲を広げることが可能となり、使用温度範囲の広い大容量メモリモジュールが実現できる。

【0024】さらに、DRAMにおけるデータ保持の二重化とリフレッシュを行うタイミングを調整することによりDRAMのリフレッシュをメモリモジュール外部から隠蔽することができるため、本メモリモジュールにアクセスする場合にリフレッシュを考慮してタイミングを調整する必要は無い。従って従来のSRAMだけを用いたメモリモジュールと同様に使用することが出来るため、従来システムを変更せずに大容量メモリモジュールを使用することが出来る。本発明の別の目的はデータ保持電流の少ないメモリモジュールを実現することである。この目的のために、特に低温時にはモジュール内部で実行されるリフレッシュ間隔を伸ばす事によって、データ保持電流を削減することが出来る。さらにデータ保持電流を削減するためにはDRAMへ供給する電源を切断し、SRAMに記憶されたデータだけを保持すればよい。保持すべきデータだけをSRAMに記憶して、保持する必要の無いデータが記憶されたメモリへの電源供給を停止することによって最小限のデータ保持電流で必要なデータだけを保持することが可能である。

【0025】図2はCHIP2(SRAM+CTL_LOGIC)を示したものである。CHIP2(SRAM+CTL_LOGIC)はSRAMと制御回路(CTL_LOGIC)から構成されており、集積されるSRAMは従来より一般的に使用されている非同期SRAMである。制御回路(CTL_LOGIC)はCHIP2のSRAM以外の部分で、図2では破線に囲まれた領域として示されており、AS、MMU、ATD、DTD、FIFO、R/W BUFFER、CACHE、A_CONT、INT TMP、RC、PM、CLK_GEN、COM_GENによって構成される。以下で各回路ブロックの動作を説明する。

【0026】メモリマネージメントユニットMMUは内蔵するレジスタに設定された値に従って外部より入力されたアドレスを変換し、アクセスを行うメモリを選択する。SRAMが選択された場合にはアクセススイッチ(AS)によってSRAMへアドレス信号とコマンド信号が送られ、SRAMへのアクセスが行われる。

【0027】アドレストランジションディテクタ回路(ATD)はアドレス信号とコマンド信号の変化を検出してパルスを出力する。また、データトランジションディテクタ回路(DTD)はデータ信号とコマンド信号の変化を検出してパルスを出力する。これらの検出回路が信号の変化

を検出することによってメモリへのアクセスが開始される。

【0028】R/W BUFFERはDRAMの読み出し、書き込みのためにデータを一時的に保持する。ファーストインファーストアウトメモリ(FIFO)は先入れ先出しのバッファ回路でDRAMへの書き込みデータとそのアドレスを一時的に保持する。CACHEはリフレッシュを行うDRAMの切り替えや一回のアクセスが長期間にわたって行われた場合にDRAMへの書き込みデータ及びDRAMからの読み出しデータを一時的に記憶する。

【0029】初期化回路INTはDRAMへの電源供給開始時にDRAMの初期化を行う。温度計測モジュール(TMP)は温度を測定し、測定した温度に応じた信号をRCとA_CONTに出力する。RCはリフレッシュカウンタで、DRAMのリフレッシュ間隔にあわせてリフレッシュを行うアドレスを生成する。また、温度計測モジュール(TMP)の出力信号によって温度に応じたリフレッシュ間隔の変更を行う。

【0030】パワーモジュール(PM)はCHIP2の制御回路(CTL_LOGIC)とDRAMへの電源供給及び電源の制御を行う。クロックジェネレータ(CLK_GEN)はクロックを生成し、DRAMと制御回路(CTL_LOGIC)へ供給する。コマンドジェネレータ(COM_GEN)はDRAMへのアクセスに必要なコマンドを生成する。アクセスコントローラ(A_CONT)はCHIP2(SRAM+CTL_LOGIC)全体動作の制御と、DRAMへアクセスを行うためのアドレスを発生する。次に本メモリモジュールの動作を説明する。

【0031】CHIP2(SRAM+CTL_LOGIC)へメモリアクセスを行うには従来より一般に使用されている非同期SRAM方式でインターフェイスする。アドレス信号(A0~A24)あるいはコマンド信号(S-/LB, S-/UB, S-/WE, S-/CE1, S-/CE2, S-/OE)が変化するとATDがこれを検知してメモリへのアクセスが開始される。外部から入力されたアドレス信号(A0~A24)の値はまずMMUによって変換される。変換のパターンはあらかじめMMU内部のレジスタに入力した値によって決められる。変換されたアドレスによってアクセス先がSRAMかDRAMかが決定する。

【0032】SRAMへアクセスが行われる場合にはMMUは変換したアドレスをSRAMへ送ると同時に、アクセススイッチ(AS)にコマンド転送を指示する。アクセススイッチ(AS)はコマンドをSRAMへ転送し、SRAMへのアクセスが開始される。これ以降の動作はいわゆる非同期SRAMへのアクセスが行われる。

【0033】DRAMへリードアクセスを行う場合には、外部から入力されてMMUによって変換されたアドレスとATDで検知されたコマンドがA_CONTに送られる。A_CONTは送られたアドレスとコマンドからアクセスがDRAMに対して実行される事を判断し、COM_GENにDRAMへのコマンド発行を指示する。また、A_CONTはMMUから受け取ったアドレスをDRAMのロウアドレスとカラムアドレスに変換して、2つのDRAMのうちアクセスを担当しているDR

AMに出力する。COM_GENはCLK_GENが生成したクロックに同期してアドレスと同様にアクセスを担当しているDRAMにコマンドを発行する。コマンドとアドレスを受け取ったDRAMはデータを出力し、出力されたデータはR/W BUFFERを介してI/00~I/015へ転送されてリードアクセスが終了する。DRAMへライトアクセスを行う場合は、外部から入力されMMUによって変換されたアドレスとATDで検知されたコマンド及びDTDで検知されたコマンドとデータがA_CONTに送られる。A_CONTは送られたアドレスとコマンドからアクセスがDRAMへ実行される事を判断し、COM_GENにDRAMへのコマンド発行を指示する。また、A_CONTはMMUから受け取ったアドレスをDRAM用に変換して、2つのDRAMのうちアクセスを担当しているDRAMへ出力する。COM_GENはCLK_GENが生成したクロックに同期してアドレスと同様にアクセスを担当しているDRAMにコマンドを発行する。書込まれるデータはI/00~I/015から入力されR/W BUFFERに一旦保持された後、アクセスを担当しているDRAMに送られて書込みが行われる。また、書込まれるデータとそのアドレスは一旦FIFOにも保持され、もう一方のDRAMにもリフレッシュが終了した後に書込まれる。メモリモジュールを高温で使用する場合にはDRAMのリフレッシュ間隔を短くして頻繁にリフレッシュを行えばよい。そこで本メモリモジュールでは温度計測モジュール(TMP)が温度を測定してリフレッシュカウンタとアクセスコントローラに通知する。高温になればリフレッシュカウンタはリフレッシュ間隔を短く変更してリフレッシュ用アドレスを出力する。また、逆に低温時にはDRAMのリフレッシュ間隔を長く変更すればデータ保持電流を削減する事も出来る。この様な場合にも温度計測モジュール(TMP)が温度を測定してリフレッシュカウンタとアクセスコントローラに通知する。低温になればリフレッシュカウンタはリフレッシュ間隔を長く変更してリフレッシュ用アドレスを出力する。

【0034】メモリモジュールが実装された機器は動作状態に応じて消費電流を削減したい場合がある。そこで、パワーモジュールによってメモリの動作状態を変えて消費電力を削減する方法について説明する。

【0035】まず、最も簡単なものはパワーモジュールがコマンド信号PSに従ってリフレッシュカウンタが行うリフレッシュを停止させるものである。これによって、DRAMに記憶されたデータは破壊されるが、リフレッシュに必要な電力を削減することが出来る。

【0036】さらに消費電力を削減したい場合にはメモリモジュール内部においてDRAMへ供給する電源を切断する。この場合にはパワーモジュールが機器が出力するコマンド信号PSにしたがってDRAMへ供給されるD1-VCC, D2-VCCへの電力供給を停止する。電源の切断は2個のDRAMに対して行っても良いし、片方のDRAMの電源を切断するにとどめても良い。

【0037】この上、一段と消費電力を削減したい場合

はパワーモジュールがコマンド信号PSにしたがってCHIP2(SRAM+CTL_LOGIC)のうちDRAMへのメモリアクセスに関する部分への電源供給も停止すれば良い。この状態では例えばCHIP2(SRAM+CTL_LOGIC)のうちSRAMの他にはMMUとASだけに電源を接続して動作状態とし、SRAMへのアクセスだけを実行するモードとすることが可能である。

【0038】さらにコマンドPSによってSRAMのデータ保持だけを行う動作状態とすることも可能である。この場合にはSRAMへ接続される電源(S-VCC, S-VSS)以外を切断し、メモリへのアクセスは禁止される。この状態ではメモリモジュールはSRAMに記憶されたデータの保持を行う。

【0039】一旦DRAMへの電源供給を停止して動作を停止した後にDRAMを再び動作させるためには電源供給の再開の他、DRAMの初期化を行う必要がある。初期化方法は一般的なものだが本メモリモジュールではイニシャル回路(INT)が初期化の手順をアクセスコントローラ(A_CONT)に指示して初期化が実行される。

【0040】なお、DRAMのリフレッシュを停止した場合にもDRAMを再び動作させるためにはDRAMの初期化が必要であるが、やはりイニシャル回路(INT)が初期化の手順をアクセスコントローラ(A_CONT)に指示して初期化が実行される。

【0041】図3、4、5、6はMMUによって変換されるメモリマップの一例を示したものである。これらのメモリマップはいずれもMMU内部のレジスタに設定された値にしたがって選択することが出来る。本実施例では特に限定されないが、不揮発メモリの記憶領域が32Mb、SRAMによるデータ保持領域が2Mb、DRAMの記憶領域が256Mbあるメモリモジュールを例に代表的なメモリマップを説明する。

【0042】図3では外部から入力されたアドレスA0～A23がフラッシュメモリ(CHIP1)とCHIP2で共用されている。アクセス先の選択にはチップ選択のための信号S-C S-F-CSを使用する。F-CSがアクティブとなった場合はFLASHが選択されてアクセスが行われ、S-CSがアクティブとなった場合はCHIP2が選択されてアクセスが行われる。F-CSはCHIP1のアクセスに使用するコマンド信号F-/WE, F-/RP, F-/WP, F-RDY/BUSY, F-/CE, F-/OEの総称であり、S-CSはCHIP2のアクセスに使用するコマンド信号S-/CE1, S-CE2, S-/OE, S-/WE, S-/LB, S-/UBの総称である。

【0043】2個のDRAM(CHIP3とCHIP4)は同一のアドレス空間にマッピングされて同一のデータを保持している。それぞれのDRAMはアクセスを担当する期間(WORK期間)とリフレッシュを優先して実行する期間(REF.期間)を交互に繰り返す。外部からのメモリアクセスはWORK期間中のDRAMに対して実行される。

【0044】また、この例では2MbのSRAM領域はアドレス空間の下部に集中して設定されている。この領域はDR

AMと重複してメモリ空間にマッピングされているが、DRAMへのアクセスは行われず、SRAMへのみアクセスが行われる。

【0045】メモリモジュールの電源を制御してSRAMのデータだけを保持して使用するような場合にはSRAMの領域を集中して管理することが出来る。

【0046】アクセスされないDRAMの領域(SHADOW)はDRAMのメモリセルを救済する為に使用する事が出来る。本メモリモジュールには低温時にリフレッシュ間隔を延長して消費電力を下げる為の工夫がなされているが、その場合にはデータ保持が困難なメモリセル(Fail bit)も生じる。そこで、このSHADOWとなるDRAMを使用してFail bitの代替を行うことができる。図3ではWORK期間中のDRAMにFail bit A, Failbit Bが有り、REF.期間中のDRAMにFail bit Cがあるが、これらのアドレスは前もって登録されており、アクセスがFail bitに行われる場合にはその代わりにそれぞれのSHADOWが代わりにアクセスされる。SHADOWによる代替によってFail bitが救済され低温時にリフレッシュ間隔を延長することによって消費電力の少ないメモリモジュールが実現できる。

【0047】図4に示したメモリマップの例では複数のアドレス空間に分散してSRAM領域が設定されている。やはりSRAMのアドレス空間はDRAMのアドレス空間に重なっており、重なったアドレス空間へのアクセスはSRAMに対して行われる。複数のSHADOWが複数のFail bitの救済に使用されている。この例ではSRAM領域が512Mb単位で設定してあるが、これはFLASHメモリの書き込み消去単位に合わせており、アドレス空間の管理単位をFLASHメモリとそろえておくことによってOSやプログラムによるメモリ空間の扱いを簡単にするための工夫である。

【0048】また、メモリモジュールの電源を制御してSRAMのデータだけを保持して使用するような場合にはSRAMの領域をメモリ空間内に分散して配置することが出来る。

【0049】図5に示したメモリマップの例ではSRAMとDRAMは別のアドレス空間にマッピングされており、重複によって生じるSHADOWはない。したがって、アドレス空間はDRAMの256MbとSRAMの2Mbを足しあわせた258Mbになり、より広いアドレス空間を得ることが出来る。これに対応してアドレス線A24が追加されている。

【0050】図6に示したメモリマップでは図5のSRAM領域を4分割して配置した例である。図5に示した例と同様により広いアドレス空間を持つ事が出来る。また、図4に示した例と同様にメモリモジュールの電源を制御してSRAMのデータだけを保持して使用するような場合にはSRAMの領域をメモリ空間内に分散して配置することが出来る。

【0051】このようにMMUは指定したアドレス空間にSRAM領域やDRAM領域をわりあてることが出来る。その割り当て方法はMMUに設定したレジスタの値を変更する事

によって容易に変更することが出来る。

【0052】また、特にデータ保持電流を少なくしたい場合には保持したいデータを格納するアドレス空間をSRAM領域に割り当て、DRAMへの電源供給を停止すればよい。この方法によってデータ保持電流の少ないメモリモジュールを実現することができる。

【0053】図7はATD回路の構成例と動作波形を示したものである。アドレストランジションディテクション回路(ATD)はアドレス信号線の値が変化したことを検知してパルスを発生するものである。回路図面で使用されているD1, D2の記号はそれぞれ遅延を発生するためのディレイエレメントを表している。ATDはアドレス線(A0～AN)に変化が生じるとディレイエレメントD1とディレイエレメントD2による遅延を足し合わせた幅のパルス(/φA0～/φAN)を出力する。さらに個々のアドレス線の動作ばらつきを勘案し、これらのパルスを足し合わせた信号/φATDを生成することによってアドレス線に現れるアドレス値が変化したことが検知される。図2に示されているようにATDにはアドレス線の他、コマンド信号も接続されており、アドレスの変化の他、新たなコマンドの入力も検出する。データトランジションディテクション回路(DTD)の構成はATDと同様である。DTDはデータ線と書き込みのためのコマンド信号の変化を検出して書き込み用データと書き込みコマンドを認識する。

【0054】このようにATDとDTDによって非同期に変化するSRAMインターフェイス信号を検出してメモリモジュールの動作を開始する。これらの回路によって非同期SRAMインターフェイスによって動作するメモリモジュールが実現できる。非同期に変化する信号をパルス化して検知し、同期信号として扱う事によってメモリモジュール内部で同期式の動作をするメモリデバイスを使用することも可能である。

【0055】図8はDRAMのリフレッシュを隠蔽する為のアクセス制御方式の原理を示したものである。本発明におけるDRAMの動作はREF.期間中のバンクへのアクセスに優先順位を付けて実行するという考え方で説明出来る。

【0056】図8(A)はアクセスの優先順位を模式的に表したものである。この図では、DRAM1がWORK期間中で、DRAM2がREF.期間中であることが表されている。また、一時的にアクセスを肩代わりするCACHE、書き込みデータを一時的に保管するFIFO、RCから発生したリフレッシュ要求が表されている。

【0057】WORK期間中のDRAM1では外部からのアクセス①だけが行われる。一方、REF.期間中のDRAM2ではまずリフレッシュ②が最優先で行われる。次に、FIFOに保持されたデータの書き込み③が実行される。これらの動作はアクセス制御回路(A_CONT)によって優先順位が判定されて実行される。

【0058】また、外部アクセス①は一回のアクセスが80nsで実行されるが、リフレッシュ②とFIFOからの書き

戻し④は70nsで実行される。本メモリモジュールではこの時間差を利用して外部からリフレッシュを隠蔽している。

【0059】図8(B)はリードアクセスが実行される様子を示したものである。DRAM1がWORK期間中にリードアクセスが連続して行われた場合を示した。DRAM1では外部アクセス①だけが80nsで実行され、データが読み出されてアクセスは完了する。一方、DRAM2ではリフレッシュ②が70nsで実行されるだけである。

【0060】ライトアクセスが行われる場合を図8(C)に示した。外部からのライトアクセス①はまずWORK期間中であるDRAM1で実行される。同時に書き込みデータは一旦FIFOに保持される。REF.期間中のDRAM2ではまずリフレッシュ②が最優先で行われる。次に、FIFOに保持されていたデータの書き込み③が実行される。

【0061】ここで、WORK期間中のDRAM1は一回の動作に80nsを要しているのに対してREF.期間中のDRAM2では一回の動作が70nsで終了している。したがって、DRAM2がリフレッシュ動作を行っても、書き込み動作をDRAM1より高速に行うのでいずれFIFOにある全てのデータ書き込みを終了してDRAM1に追いつくことが出来る。

【0062】図9はDRAMへのアクセスが発生した場合の全体動作を説明するフローチャートである。STEP1ではアドレスが入力されて動作が開始する。STEP2ではコマンドからアクセスの種類が判定される。以降の動作はアクセスの種類によって異なる。アクセスが読み出しの場合はSTEP3に進む。STEP3ではWORK期間中のDRAMからデータが読み出されて動作が終了する。アクセスが書き込みの場合はSTEP4に進む。STEP4ではWORK期間中のDRAMに書き込みが行われる。一方STEP5では書き込まれるデータとアドレスがFIFOに保持される。ここでREF.期間中のSDRAMでリフレッシュが終了したらSTEP6に進みREF.期間中のDRAMにFIFOに保持されていたデータの書き込みを行う。

【0063】図10はREF.期間中のDRAMの動作を説明するフローチャートである。SETP2、STEP3リフレッシュの実行、STEP4、STEP5はライトバックの実行に関する部分である。STEP1でREF.期間が開始され、次のSTEP2でまずリフレッシュ要求が有るかどうかが判定される。リフレッシュ要求が有ればSTEP3に進みリフレッシュが実行される。リフレッシュ回数は管理されており、決められた領域のリフレッシュが行われる。リフレッシュ要求が無かった場合とリフレッシュが終了した場合はSTEP4に進み、FIFOに蓄積されたデータが有るかどうか判定する。もしデータがあればSTEP5に進みDRAMにライトバックを行う。STEP5でFIFOに保持されたデータの書き込みが終了した場合及び、STEP4でFIFOにデータが無かった場合はSTEP2に戻る。

【0064】図11にはDRAMのリフレッシュを隠蔽するため、2個のDRAMを時分割で動作させる様子を示した。

図11(A)は通常使用温度範囲である75°C以下のDRAM

の動作例である。2個のDRAM(DRAM1とDRAM2)がWORK期間とREF.期間を交互に繰り返している。WORKと表示されたWORK期間中のDRAMが外部アクセスに対して動作する。最初のDRAM1がWORK期間となり外部からのアクセスに対応している。一方でREF.期間中のDRAMはリフレッシュ動作を優先して行い、外部アクセスが書き込みの場合にはリフレッシュ終了後にデータの書き込みを行う。

【0065】DRAMのメモリセルは通常64ms以内にリフレッシュを行う必要があるが、図示した例ではこの時間内に8回WORK期間とREF.期間を切り替えており、DRAM1とDRAM2がそれぞれ交互にWORK期間とREF.期間を4回ずつ繰り返している。

【0066】ここで、一回のREF.期間である8msの間に行われるリフレッシュに必要な時間をT1、同じくその間に行われるライトアクセスの結果FIFOに溜まったデータをライトバックするのに必要な時間をT2としてREF.期間中にリフレッシュとライトバックが行える事を説明する。

【0067】256MbitのSDRAMを例に取ると、そのメモリ構成は8192ロウx512カラムx16ビットx4バンクとなっており、64msの間に32768回(8192ロウx4バンク分)のリフレッシュを行えば良い。したがって、図11(A)の例では1個のDRAMに対して64msの間にREF.期間が4回有るので、一回のREF.期間(8ms)の間に8192回のリフレッシュを行う事になる。

【0068】一回のリフレッシュに必要な時間は70nsなのでT1=70ns × 8192回 = 0.573msとなる。一方で、8msの間に外部から行われるライトアクセスの最大値を求めると、毎回のアクセスがすべてライトだったとして100000回(8ms / 80ns)になる。これをREF.期間中のDRAMにライトバックする為に必要な時間T1は7ms(70ns × 100000回)である。したがって、 $T1 + T2 = 7.573ms < 8ms$ となり、REF.期間中にリフレッシュとライトバックを十分実行できる事がわかる。

【0069】また、リフレッシュはREF.期間中のDRAM内の複数のバンクで同時に実行することも出来る。この場合にはT1期間に実行するリフレッシュの回数を減らす事が出来るので、T1期間を短縮する事が出来る。T1期間が短縮されればFIFOの記憶容量を減らす事が出来るほか、外部からアクセスされる間隔をより短くして高速なメモリが実現できる。

【0070】図11(B)はDRAMのリフレッシュ間隔を変更した場合について示した。一般にDRAMのリフレッシュ特性は高温時に悪化する。従って例えば75°C以上の高温時にはリフレッシュ間隔を短くすればデータを保持が可能となり、より広い温度範囲で動作させることが可能である。この例では高温時にリフレッシュ間隔を48msに短縮している。T1は変わらないが、T2は5.25ms、残りは0.177msであり、REF.期間中にリフレッシュとライトバックを行う事が出来る。

【0071】一方、低温時にはリフレッシュ間隔を短縮してデータ保持電流を削減する事が出来る。図示した例では低温時にリフレッシュ間隔を倍の128nsに延長している。この場合はREF.期間は16msとなる。T1は変わらないが、T2は14msとなり残りは1.427msになる。やはりT1期間においてリフレッシュを行ってもT2期間内に全て書き戻しが出来る。本実施例ではDRAMの動作単位をチップ毎として説明したが、メモリモジュールの性能やメモリチップの構成に応じてたとえばバンクを動作単位としても良い。また、リフレッシュ間隔である64msを8つの期間に分割してWORK期間とREF.期間にしたが、さらに細かく分割すればデータとアドレスを保持するFIFOの記憶容量を少なくすることが出来る。逆に大きく分割すればWORK期間とREF.期間の切り換え回数を減らせるため、切り換えに伴う制御回路が簡略化出来る。図12はCACHEの働きを説明する図面である。図12(A)ではWORK期間とREF.期間の切り替わり直前に外部からライトアクセスが行われた場合について示した。ここではDRAM1のWORK期間終了直後に外部アクセスAが行われている。このような場合にはDRAM1のWORK期間はライトアクセスの終了までdTだけ延長される。一方で、DRAM2は予定どおりWORK期間となり、ライトデータを書き込まずにライトアクセスの終了まで待機する。DRAM2に書き込まれなかったデータは一旦CACHEに保持される。WORK期間中にCACHEに保持されているのと同一のアドレスにアクセスが生じた場合はDRAM2ではなくCACHEに対して読み書きを行う。なお、アクセスが書き込みの場合はREF.期間中のDRAM1には通常どおりFIFOを経由して書き込みが行われる。CACHEに保持されたデータはDRAM2のWORK期間が終了した次のREF.期間に書き戻される。この書き戻しが終了すればCACHEの内容はクリアされる。アクセスがリードの場合はアクセスの終了までDRAM1のWORK期間がdTだけ延長されるだけである。

【0072】図12(B)は一回のアクセスがWORK期間及びREF.期間よりも長く行われた場合や、延長時間dTではカバーし切れない場合について示した。DRAM1がWORK期間中に開始された外部アクセスBは延長時間dTを超過してそのまま次のREF.期間中も継続してアクセスが続いている。この場合にはアクセスをCACHEに引き継ぎ、DRAM1はREF.期間に入る。DRAM2は予定どおりWORK期間に入り待機状態となる。リードアクセスの場合はデータがDRAM1からCACHEに引き継がれる。ライトアクセスの場合は継続していたアクセスが終了したら、CACHEに書き込まれたデータをDRAM1とDRAM2に書き戻す。書き戻しはそれぞれのDRAMがREF.期間に入ったときに行う。両方の書き戻しが終了すればCACHEの内容はクリアされる。このようにCACHEを使用してWORK期間とREF.期間にまたがるアクセスや、一回または複数回のWORK期間を超えるアクセスを処理することができる。

【0073】図13は本実施例におけるCHIP1(FLASH)の

構成例である。XアドレスバッファX-ADB, XデコーダX-DEC, メモリアレイMA(FLASH), YアドレスバッファY-ADB, YデコーダY-DEC, Yゲート(カラムスイッチ) & センスアンプ回路Y-GATE/SENSAMP., 状態/ID保持レジスタSTATUS/ID REG, マルチプレクサMULTIPLEXER, データ入出力バッファI/O BUF, ライトステートマシンWSM, コマンドユーチューブインターフェイスCUIより構成されている。CHIP1の動作は従来から一般的に使用されているFLASHメモリと同様である。このCHIP1(FLASH)によって本実施例であるメモリモジュールが構成出来る。

【0074】図14は本実施例におけるSRAMの構成例を示したものである。XデコーダX-DEC, メモリアレイMA(SRAM), YゲートY-GATE, YデコーダY-DEC, 入力データ制御回路D_CTL, 制御回路CONTROL LOGICと各信号線の入出力バッファから構成されている。このSRAMは一般的ないわゆる非同期SRAMである。このSRAMによって本実施例であるメモリモジュールが構成出来る。

【0075】図15は本実施例におけるDRAMの構成例を示したものである。XアドレスバッファX-ADB, リフレッシュカウンタREF. COUNTER, XデコーダX-DEC, メモリアレイMA, YアドレスバッファY-ADB, YアドレスカウンタY-AD COUNTER, YデコーダY-DEC, センスアンプ回路&Yゲート(カラムスイッチ) SENS AMP.& I/O BU S, 入力データバッファ回路INPUT BUFFER, 出力データバッファ回路OUTPUT BUFFER, 制御回路&タイミング発生回路CONTROL LOGIC & TGで構成されている。メモリアレイMAは複数のワード線と複数のデータ線の交点に設けられた複数のメモリセルを含む。メモリセルのそれぞれはキャバシタとMISFETが直列に接続されたいわゆる1C1T型のメモリセルである。本発明で用いられるDRAMは、従来より用いられている汎用SDRAMを利用することができる。即ち4個の独立動作可能なメモリバンク(またはメモリブロック)を含み、それらに対するアドレス入力端子及びデータ入出力端子は共通化されバンク毎に時分割で利用される。このDRAMによって本実施例であるメモリモジュールが構成出来る。

【0076】図16は本発明であるメモリモジュールの動作波形の一例を示したものである。A0～A20, S-/CE1, S-/CE2, S-/LB, S-/UB, S-/OE, S-/WEはメモリモジュールへ入力される信号で、いわゆる非同期SRAMのインターフェイス信号である。データ入出力信号I/00～I/015はデータの入力と出力を分けて夫々DIN, DOUTとして表した。MMU, ATD, DTDは夫々MMU回路, ATD回路, DTD回路の出力信号を表している。D-CLKはDRAMへ供給されるクロック、D-COMはDRAMへ供給されるコマンド信号の総称、D-A0～D-A15はDRAMのアドレス線、D-DQ0～D-DQ15はDRAMのI/O線である。

【0077】まず、最初に行われているリードアクセスについて説明する。アドレスA0～A20が入力されるとMMU回路は変換したアドレスを出力する。ATD回路はアドレ

スA0～A20とコマンド類(S-/CE1, S-/CE2, S-/LB, S-/UB, S-/OE, S-/WE)の変化を検知し、アドレスとコマンドが確定するとパルスを出力する。このパルスをきっかけにWORK期間中のDRAM1へバンクアクティブコマンドAとロウアドレスRaが発行され、DRAM1はバンクアクティブ状態にされる。次に制御回路はS-/OE信号の立ち下がりをきっかけにリードコマンドRとカラムアドレスCoを発行する。DRAM1から読み出されたデータはD-DQ0～D-DQ15に出力され、一旦R/W BUFFERを通してからI/00～I/015へ出力される。次のサイクルではライトアクセスの実行例を示した。ライトアクセスの場合もリードアクセスと同様にATD信号の立ち下がりをきっかけにバンクアクティブコマンドAとロウアドレスRaが発行される。その後、D TD回路がI/00～I/015とコマンド類(S-/CE1, S-/CE2, S-/LB, S-/UB, S-/OE, S-/WE)の変化を検知してパルスを出力し、このパルスをきっかけにライトコマンドWとカラムコマンドCoが発行されてライトが実行される。書き込まれたデータはライトアクセスの終了を示すS-/WEの立ち上がりで確定するため、ライトコマンドはS-/WEが立ち上がるまで連続して発行される。この動作によってライトサイクル開始後に書き込みデータが変化した場合にも対応できる。図16に示した動作例では2回のライトコマンドが連続して発行され、その後S-/WE信号の立ち上がりにしたがってライトが終了し、プリチャージコマンドが発行されている。また、REF.期間中のDRAM2にはリフレッシュが行われており、プリチャージコマンドPとバンクアクティブコマンドAが繰り返し発行されている。以上説明した実施例によれば、SRAMインターフェイス方式を踏襲しながら安価な汎用DRAMを用いた大容量メモリモジュールが実現出来る。本発明による制御回路(CTL_LOGIC)ではDRAMが使用されているがDRAMに必要なリフレッシュは制御回路(CTL_LOGIC)によって実行されるためSRAMと同様にリフレッシュを考慮せずに使用することが出来る。さらに、DRAMにおけるデータ保持の二重化とリフレッシュを行うタイミングを調整することによりDRAMのリフレッシュをメモリモジュール外部から隠蔽することが出来るため、本メモリモジュールにアクセスする場合にリフレッシュを考慮してタイミングを調整する必要は無い。従って従来のSRAMだけを用いたメモリモジュールと同様に使用することが出来るため、従来システムを変更せずに大容量メモリモジュールを使用することが出来る。また、DRAMのリフレッシュ間隔を狭めることによって高温時にもDRAMを動作させることが可能となり、使用温度範囲の広いメモリモジュールを実現できる。一方、低温時にはDRAMのリフレッシュ間隔を広げることによって、データ保持に必要な電力を削減し、データ保持電力の少ないメモリモジュールを実現することが出来る。パワーモジュールPMの働きによってはDRAMの一部、あるいは全部の電源供給を停止して記憶領域を限定してデータ保持に必要な電力を削減する事もできる。さら

に、制御回路の電源供給も停止してよりデータ保持電力の少ないメモリモジュールを実現することも出来る。また、このような場合にはMMUによってデータ保持を行う記憶領域が自在に設定出来るため、様々な機器に対応して幅広く用いることが可能である。<実施例2>図17は本発明におけるメモリモジュールを構成するCHIP2の別の実施例を示したものである。本実施例におけるCHIP2(CTL_LOGIC)は制御回路(CTL_LOGIC)から構成されており、ATD、DTD、FIFO、R/W BUFFER、A_CONT、CACHE、INT TMP、RC、PM、CLK_GEN、COM_GENによって構成される。図2に示したCHIP2とはSRAM、アクセススイッチAS、MMUが内蔵されていない点が異なる。したがって、全てのアクセスはDRAMに対して実行される。

【0078】CHIP2(CTL_LOGIC)には同期SRAM方式でインターフェイスされる。外部から非同期SRAM方式で信号が送られるとCHIP2はこれを変換してDRAMへアクセスを行う。データ入出力やリフレッシュ動作をCHIP2が制御する。

【0079】リードアクセスを行う場合について制御回路の各ブロックの動作を以下に説明する。まず、外部から入力されたアドレスとATDで検知されたコマンドがA_CONTに送られる。A_CONTは送られたアドレスとコマンドからアクセスの実行を判断し、COM_GENにDRAMへのコマンド発行を指示する。また、A_CONTは受け取ったアドレスをDRAM用に変換してDRAMへ出力する。COM_GENはCLK_GENが生成したクロックに同期してDRAMにコマンドを発行する。コマンドとアドレスを受け取ったWORK期間中のDRAMはデータを出力し、出力されたデータはR/W BUFFERを介してI/00～I/015へ転送されてリードアクセスが終了する。

【0080】ライトアクセスを行う場合は、外部から入力されたアドレスとATDで検知されたコマンド及びDTDで検知されたコマンドとデータがA_CONTに送られる。A_CONTは送られたアドレスとコマンドからアクセスの実行を判断し、COM_GENにDRAMへのコマンド発行を指示する。A_CONTは受け取ったアドレスをDRAM用に変換してDRAMへ出力する。COM_GENはCLK_GENが生成したクロックに同期してDRAMにコマンドを発行する。書込まれたデータはI/00～I/015から入力されR/W BUFFERに一旦保持された後、WORK期間中のDRAMに送られて書込みが行われる。この他、書込みが行われたデータとアドレスはFIFOにも保持され、REF.期間中のDRAMにも書込みが行われる。

【0081】なお、その他の動作はSRAMへアクセスが行われない点を除けば実施例1で説明したものと同様である。以上説明した実施例によれば、SRAM、アクセススイッチASとMMUを内蔵せずより小さな面積でCHIP2が構成できるため、安価に大容量メモリモジュールを実現することが出来る。また、アクセススイッチASとMMUの動作を介せずDRAMへアクセスを行うことが出来るためより高速

な大容量メモリモジュールが実現出来る。なお、本実施例によるその他の効果は実施例1で既に説明したものと同様である。<実施例3>図18は本発明におけるメモリモジュールを構成するCHIP2及びCHIP3の第三の実施例を示したものである。本実施例におけるCHIP5(DRAM+CTL_LOGIC)は制御回路(CTL_LOGIC)とDRAMから構成されており、制御回路を構成するATD、DTD、FIFO、R/W BUFFER、A_CONT、CACHE、INT TMP、RC、PM、CLK_GEN、COM_GENとDRAMとが1チップに集積されている。図17に示したCHIP2にDRAMを混載した構成となっている。以下でその動作を説明する。

【0082】アドレストランジションディテクタ回路(ATD)はアドレス信号とコマンド信号の変化を検出してパルスを出力する。データトランジションディテクタ回路(DTD)はデータ信号とコマンド信号の変化を検出してパルスを出力する。R/W BUFFERはDRAMの読み出し、書き込みの為にデータを一時的に保持する。FIFOは先入れ先出しのバッファ回路でDRAMへ書き込みデータとそのアドレスを一時的に保持する。イニシャル回路(INT)はDRAMへの電源供給開始時にDRAMの初期化を行う。温度計測モジュール(TMP)は温度を検出し、検出した温度に応じた信号をリフレッシュカウンタ(RC)とアクセスコントローラ(A_CONT)に出力する。リフレッシュカウンタはDRAMのリフレッシュ間隔にあわせてリフレッシュを行うアドレスを生成する。また、温度計測モジュール(TMP)の出力信号によって温度に応じたリフレッシュ間隔の変更を行う。パワーモジュール(PM)はCHIP4の制御回路(CTL_LOGIC)とDRAMへの電源供給及び電源の制御を行う。クロックジェネレータ(CLK_GEN)はクロックを生成し、DRAMと制御回路(CTL_LOGIC)へ供給する。コマンドジェネレータ(COM_GEN)はDRAMへのアクセスに必要なコマンドを生成する。アクセスコントローラ(A_CONT)はCHIP4(DRAM+CTL_LOGIC)全体動作の制御と、DRAMへアクセスを行うためのアドレスを発生する。CHIP4(DRAM+CTL_LOGIC)へメモリアクセスを行うにはいわゆる同期SRAM方式でインターフェイスする。外部から非同期SRAM方式で信号が送られるとき制御回路はこれを変換してDRAMへアクセスを行う。

【0083】DRAMへリードアクセスを行う場合について制御回路の各ブロックの動作を以下に説明する。まず、外部から入力されたアドレスがA_CONTに送られる。アドレスの変化とコマンド信号がATDで検知され、ATDはパルスをA_CONTへ出力する。A_CONTは送られたアドレスとコマンドからアクセスの実行を判断し、COM_GENにWORK期間中のDRAMへのコマンド発行を指示する。また、A_CONTは受け取ったアドレスをDRAM用に変換してWORK期間中のDRAMへ出力する。COM_GENはCLK_GENが生成したクロックに同期してWORK期間中のDRAMにコマンドを発行する。コマンドとアドレスを受け取ったDRAMはデータを出力し、出力されたデータはR/W BUFFERを介してI/00～I/015へ転送されてリードアクセスが終了する。

【0084】次にDRAMへライトアクセスを行う場合について説明する。外部から入力されたアドレスとATDで検知されたコマンド及びDTDで検知されたコマンドとデータがA_CONTに送られる。A_CONTは送られたアドレスとコマンドからアクセスの実行を判断し、COM_GENにWORK期間中のDRAMへのコマンド発行を指示する。また、A_CONTは受け取ったアドレスをDRAM用に変換してWORK期間中のDRAMへ出力する。COM_GENはCLK_GENが生成したクロックに同期してWORK期間中のDRAMにコマンドを発行する。書込まれるデータはI/00～I/015から入力されR/W BUFFERに一旦保持された後、WORK期間中のDRAMに送られて書き込みが行われる。この他、このように書き込みが行われたデータとアドレスはFIFOにも保持され、後でREF.期間中のDRAMにも書き込みが行われる。

【0085】DRAMへ供給される電源はパワーモジュール(PM)によって制御される。メモリモジュールが実装された機器は動作状態に応じて消費電流を削減したい場合がある。そのような場合にはパワーモジュールはコマンド信号PSに従ってリフレッシュカウンタが行うリフレッシュを停止させてDRAMのリフレッシュに必要な電力を削減することが出来る。

【0086】さらに消費電力を削減したい場合にはCHIP4内部において一部、DRAMへ供給する電源の一部又は全てを切断すればよい。この場合、パワーモジュールは機器が出力するコマンド信号PSにしたがってDRAMへ供給されるD-VCCへの電力供給を停止する。

【0087】この上、一段と消費電力を削減したい場合はパワーモジュールがコマンド信号PSにしたがってCHIP4(DRAM+CTL_LOGIC)のうちDRAMへのメモリアクセスに関する部分への電源供給をも停止すれば良い。この状態では例えば、CHIP4(DRAM+CTL_LOGIC)のうちATDだけに電源を接続して待機状態とすることが可能である。なお、これ以外の動作は実施例1で説明したものと同様である。

【0088】以上説明した実施例によれば、SRAMインターフェイス方式を踏襲しながらDRAMを用いた大容量メモリモジュールが実現出来る。本発明による効果は既に実施例1及び実施例2で説明したものに加えて次のようなものがある。本実施例によれば、メモリモジュールの部品点数を削減してモジュールの組立工程を簡略化しコストを低減することが出来る。さらに、本実施例はメモリモジュールとして用いる他に、単体で大容量SRAMとして使用することも出来る。SRAMインターフェイス方式を踏襲しながら安価なDRAMを用いることによってより小さな面積で大容量SRAM互換チップが実現出来る。

＜実施例4＞図19は本発明におけるメモリモジュールの第四の実施例を示したものである。図19(A)には上面図、図19(B)には断面図を示した。本メモリモジュールはポールグリッドアレイ(BGA)によって装置に実装する基板(例えばガラスエポキシ基板でできたプリント

回路ボードPCB)上にCHIP1(FLASH)、CHIP2(SRAM+CTL_LOGIC)、CHIP3(DRAM1)及びCHIP4(DRAM2)が搭載されている。とくに制限されないが、CHIP3及びCHIP4にはいわゆるチップの中央に信号及び電源パッド列が1列に並ぶ汎用DRAMのペアチップが使用されている。CHIP1と基板上のボンディングパットはボンディングワイヤ(PATH3)で接続され、CHIP2と基板上のボンディングパットはボンディングワイヤ(PATH2)で接続されている。CHIP3及びCHIP4はCHIP2とボンディングワイヤ(PATH1)で接続される。チップの搭載された基板上面は樹脂モールドが行われて各チップと接続配線を保護する。なお、さらにその上から金属、セラミック、あるいは樹脂のカバー(COVER)を使用しても良い。図1において、丸印で示される端子(アドレス信号端子A0～A24、データ入出力端子I/00～I/015、CHIP2に対する制御信号端子、CHIP1に対する制御信号端子、及び電源端子)はパッケージ外部との信号のやりとりのためにBGAのバンプ電極に接続される。

【0089】本発明による実施例ではプリント回路ボードPCB上にペアチップを直接搭載する為、実装面積の小さなメモリモジュールを構成することが出来る。また、各チップを近接して配置するこが出来るため、チップ間配線長を短くすることが出来る。チップ間の配線及び各チップと基板間の配線をボンディングワイヤ方式で統一することによって少ない工程数でメモリモジュールを製造することが出来る。さらにチップ間をボンディングワイヤで直接配線することによって基板上のボンディングパット数とボンディングワイヤの本数を削減して少ない工程数でメモリモジュールを製造することが出来る。大量に量産される汎用DRAMのペアチップを用いることができるため、メモリモジュールを安価に安定供給することが出来る。樹脂のカバーを使用した場合にはより強靭なメモリモジュールを構成することが出来る。セラミックや金属のカバーを使用した場合には強度のほか、放熱性やシールド効果に優れたメモリモジュールを構成することが出来る。

【0090】図20は本発明におけるメモリモジュールの図19の変形例である。図20(A)には上面図、図20(B)には断面図を示した。この例ではCHIP2(SRAM+CTL_LOGIC)がCHIP3及びCHIP4に搭載されている。更にCHIP2とCHIP3又はCHIP4への配線にはPATH4が用いられている。この実装方法によってプリント回路ボードPCBの面積を削減する事が出来る。また、積層したチップ間の配線PATH4によって、配線長を短くする事が出来る為、配線の信頼性を向上できるほか、外部へのノイズ輻射を低減することが出来る。

【0091】

【発明の効果】以上説明したように本発明実施例によって得られる効果は以下の通りである。第一にDRAMへのアクセスをコントローラで制御することによって外部から

リフレッシュを行う必要の無い大容量メモリが実現される。第二にデータ保持領域とワークエリアを設定してそれぞれ電源制御を行うことによってデータ保持電流の少ないメモリモジュールが実現される。第三に複数の半導体チップを一つの封止体に実装することによって実装面積の小さなメモリモジュールを提供できる。

【図面の簡単な説明】

【図1】本発明を適用したメモリモジュールの構成図である。

【図2】図1のCHIP2の一例を示すブロック図である。

【図3】本発明を適用したメモリモジュールのアドレスマップの一例を示す説明図である。

【図4】本発明を適用したメモリモジュールのアドレスマップの一例を示す説明図である。

【図5】本発明を適用したメモリモジュールのアドレスマップの一例を示す説明図である。

【図6】本発明を適用したメモリモジュールのアドレスマップの一例を示す説明図である。

【図7】図2のATD回路又はDTD回路の構成例である。

【図8】DRAMへのアクセスとリフレッシュを両立して行う様子を説明する説明図である。

【図9】DRAMへアクセスを行った場合の処理の流れを示すフローチャートである。

【図10】REF.期間中のDRAMにおける動作の流れを示すフローチャートである。

【図11】DRAMのリフレッシュ方式の一例を示す説明図である。

【図12】WORK期間、REF.期間の切り替え時にアクセスを引き継ぐ示す説明図である。

【図13】フラッシュメモリの一構成例を示すブロック図である。

【図14】SRAMの一構成例を示すブロック図である。

【図15】DRAMの一構成例を示すブロック図である。

【図16】本発明を適用したメモリモジュールのタイミングチャートの一例である。

【図17】図1におけるCHIP2の一構成例を示すブロック図である。

【図18】本発明によるDRAMを利用した非同期SRAMインターフェイス方式の大容量メモリの実施例である。

【図19】本発明によるメモリモジュールの実装形態の一例である。

【図20】本発明によるメモリモジュールの実装形態の一例である。

【符号の説明】

CHIP1…不揮発性メモリ、 CHIP2…制御回路(CTL_LOGIC)またはスタティックランダムアクセスメモリ(SRAM)と制御回路(CTL_LOGIC)が集積された半導体チップ、 CHIP3…ダイナミックランダムアクセスメモリ(DRAM1)、 CHIP4…ダイナミックランダムアクセスメモリ(DRAM2)、 CHIP5…ダイナミックランダムアクセスメモリ(DRAM)と制

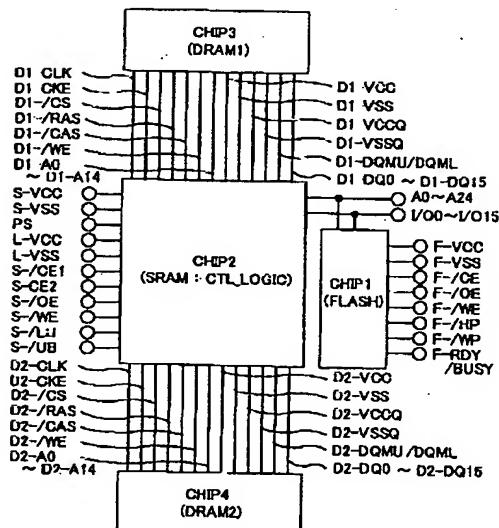
御回路(CTL_LOGIC)が集積された半導体チップ、 A0～A24…アドレス信号、 S-/CE1…CHIP2のチップイネーブル信号、 S-/CE2…CHIP2のチップイネーブル信号、 S-/E…CHIP2のアウトプットイネーブル信号、 S-/WE…CHIP2のライトイネーブル信号、 S-/LB…CHIP2のロアーバイト選択信号、 S-/UB…CHIP2のアッパー バイト選択信号、 F-/WE…CHIP1のライトイネーブル信号、 F-/RP…CHIP1リセット/ディープパワーダウン信号、 F-/WP…CHIP1ライトプロテクト信号、 F-RDY/BUSY…CHIP1レディ/ビジアウトプット信号、 F-/CE…CHIP1チップイネーブル信号、 F-/OE…CHIP1アウトプットイネーブル信号、 F-VCC…CHIP1の電源、 F-VSS…CHIP1グラウンド、 S-VCC…CHIP2の電源、 S-VSS…CHIP2のグラウンド、 L-VCC…CHIP2の電源、 L-VSS…CHIP2グラウンド、 PS…パワー制御信号、 I/O0～I/O15…データ入出力、 D1-CLK…CHIP3のクロック、 D1-A0～D1-A14…CHIP3のアドレス信号、 D1-CKE…CHIP3のクロックイネーブル信号、 D1-/CS…CHIP3のチップセレクト信号、 D1-/RAS…CHIP3のロウアドレスストローブ信号、 D1-/CAS…CHIP3のカラムアドレスストローブ信号、 D1-/WE…CHIP3のライトイネーブル信号、 D1-DQMU/DQML…CHIP3のインプット/アウトプットマスク信号、 D1-DQ0～D2-DQ15…CHIP3のデータ入出力、 D1-VCC…CHIP3の電源、 D1-VSS…CHIP3のグラウンド、 D1-VCCQ…CHIP3のI/O用電源、 D1-VSSQ…CHIP3のI/O用グラウンド、 D2-CLK…CHIP4のクロック、 D2-A0～D2-A14…CHIP4のアドレス信号、 D2-CKE…CHIP4のクロックイネーブル信号、 D2-/CS…CHIP4のチップセレクト信号、 D2-/RAS…CHIP4のロウアドレスストローブ信号、 D2-/CAS…CHIP4のカラムアドレスストローブ信号、 D2-/WE…CHIP4のライトイネーブル信号、 D2-DQMU/DQML…CHIP4のインプット/アウトプットマスク信号、 D2-DQ0～D2-DQ15…CHIP4のデータ入出力、 D2-VCC…CHIP4の電源、 D2-VSS…CHIP4のグラウンド、 D2-VCCQ…CHIP4のI/O用電源、 D2-VSSQ…CHIP4のI/O用グラウンド、 AS…アクセススイッチ回路、 SRAM…スタティックランダムアクセスメモリ、 ATD…アドレストランジションディテクタ、 DTD…データトランジションディテクタ、 MMU…メモリマネージメントユニット、 FIFO…ファーストインファーストアウト(メモリ)、 R/W BUFFER…リード/ライトバッファ、 CACHE…キャッシュメモリ、 INT…初期化回路、 TMP…温度測定モジュール、 RC…リフレッシュカウンタ、 PM…パワーマネージメントモジュール、 A_CONT…アクセスコントローラ、 CLK_GEN…クロックジェネレータ、 COM_GEN…コマンドジェネレータ、 S-CS…SRAM用チップセレクト信号の総称、 F-CS…不揮発メモリ用チップセレクト信号の総称、 SHADOW…シャドウ領域、 /ΦAO…ATD回路によるアドレス変化検出信号、 /ΦAN…ATD回路によるアドレス変化検出信号、 /ΦATD…ATD回路出力信号、 D1…ディレイエレ

メント、D2…ディレイエレメント、WORK…ワーク期間、REF…リフレッシュ期間、PCB…プリント回路基板、COVER…モジュールの封止カバー、PATH1…CHIP2とCHIP3又はCHIP4を接続するボンディング配線、PAT

H2…PCBとCHIP2とを接続するボンディング配線、PATH3…PCBとCHIP1を接続するボンディング配線、PATH4…CHIP3又はCHIP4とCHIP3及びCHIP4上に搭載されたCHIP2と接続するボンディング配線。

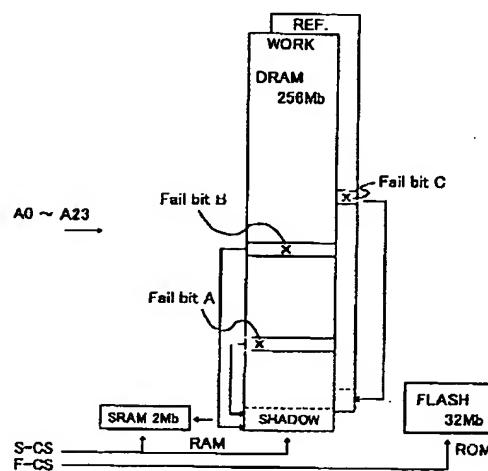
【図1】

図1



【図3】

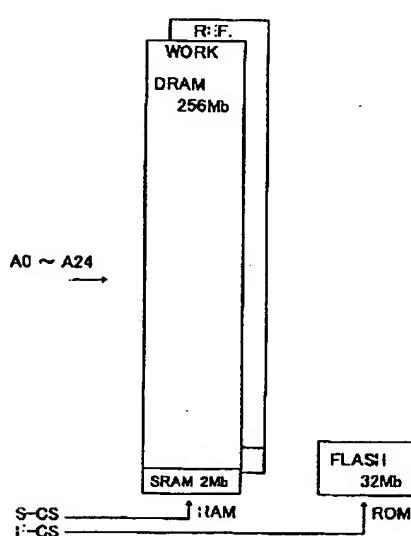
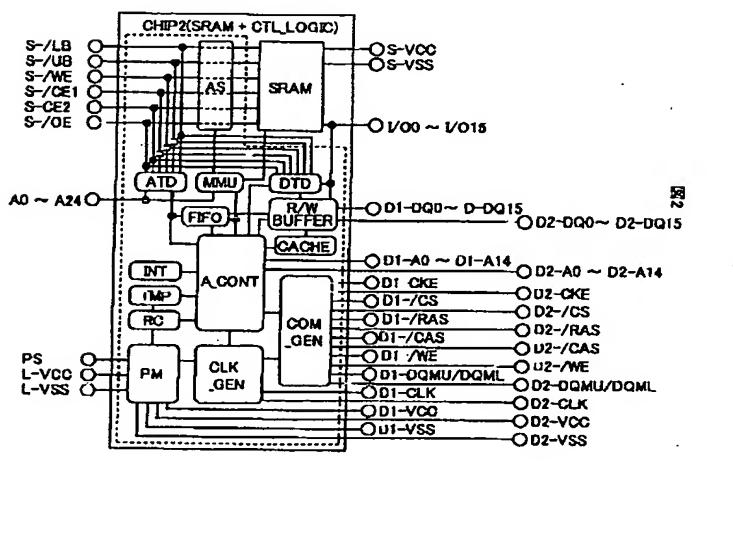
図3



【図5】

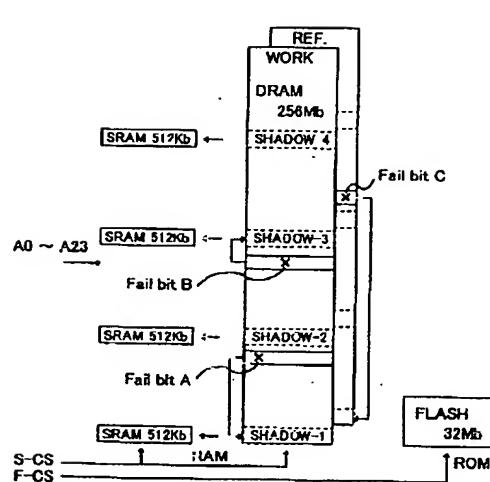
図5

【図2】



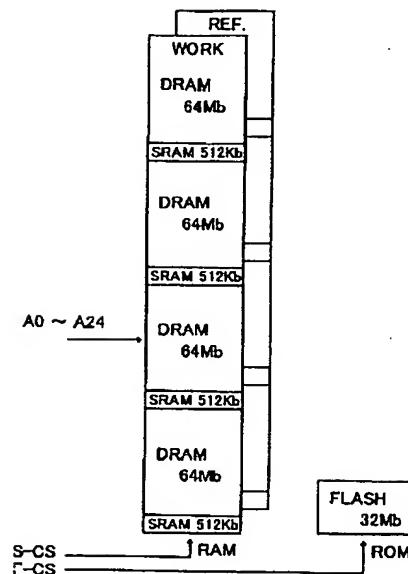
【図4】

図4



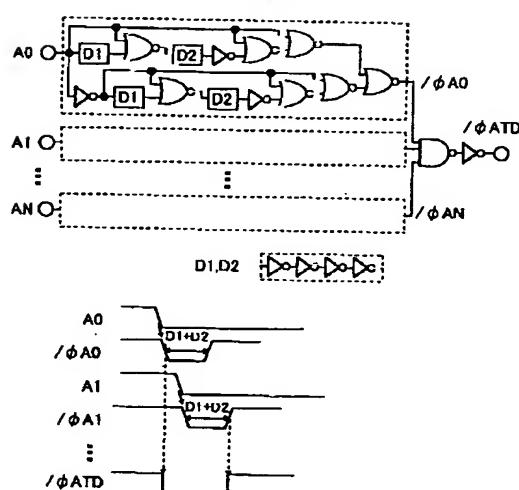
【図6】

図6



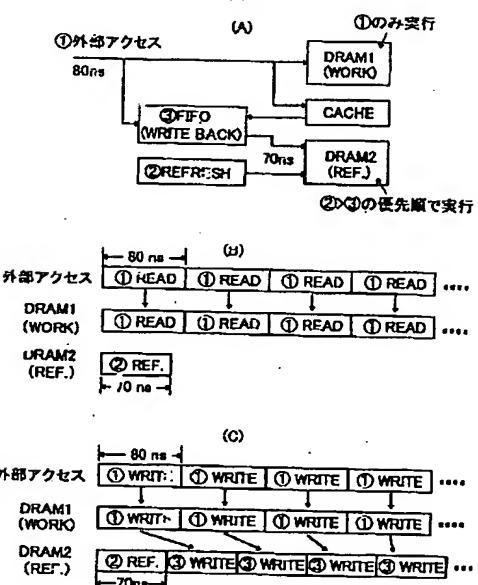
【図7】

図7

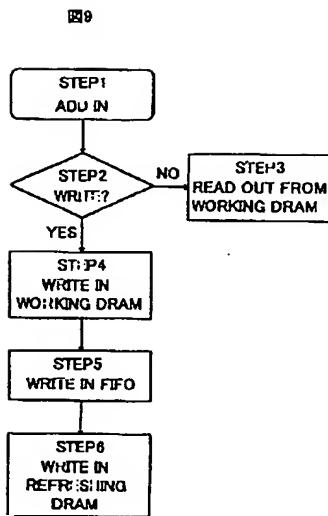


【図8】

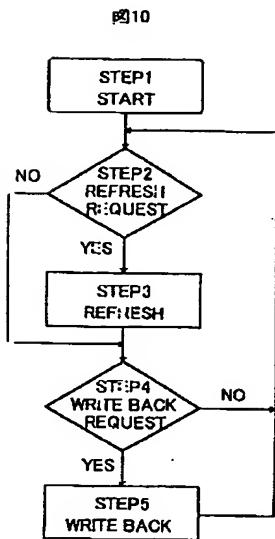
図8



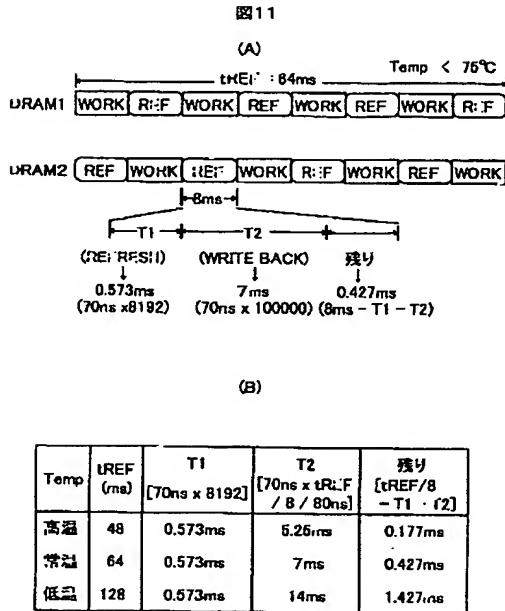
【図9】



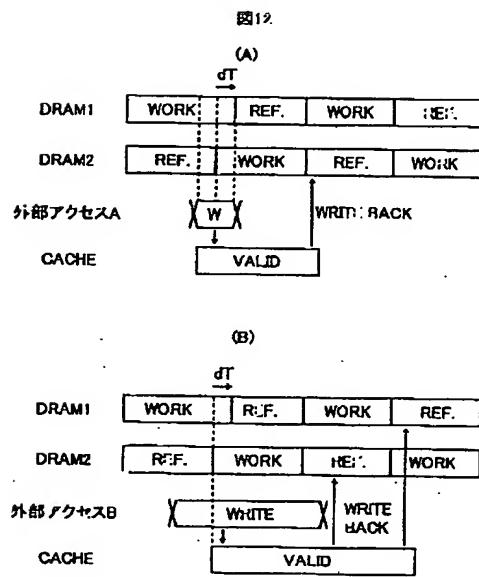
【図10】



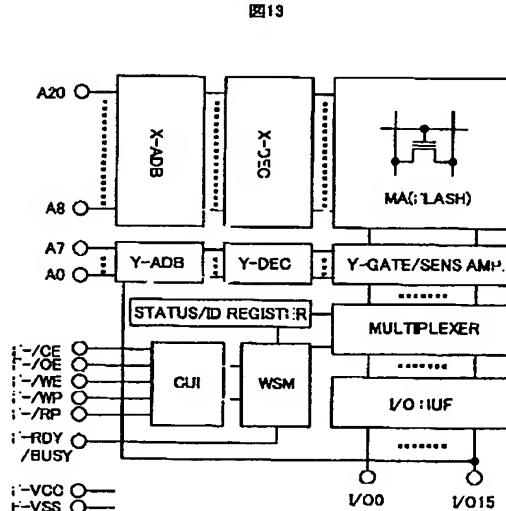
【図11】



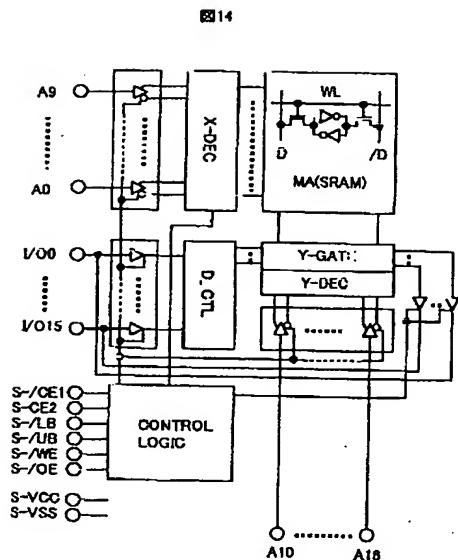
【図12】



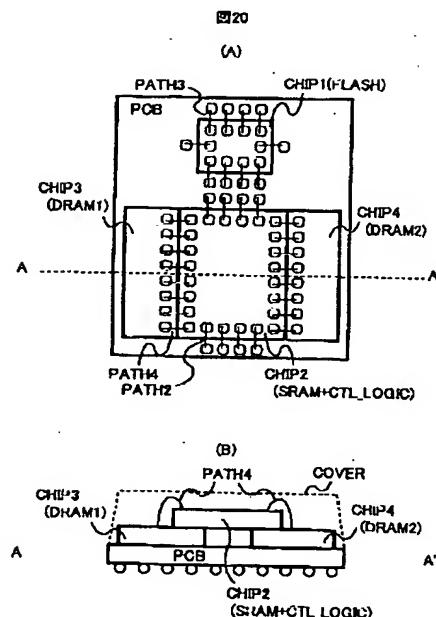
【図13】



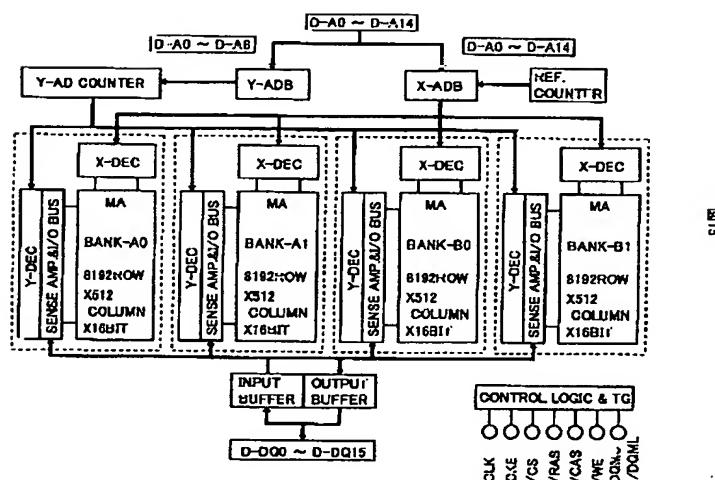
【図14】



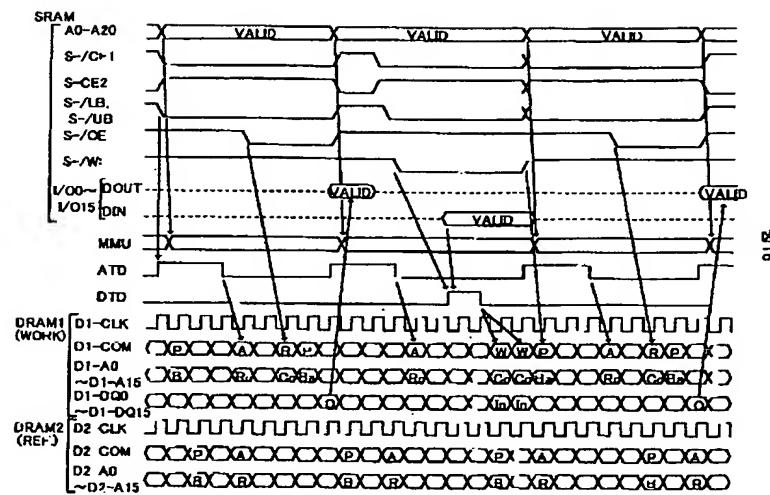
【図20】



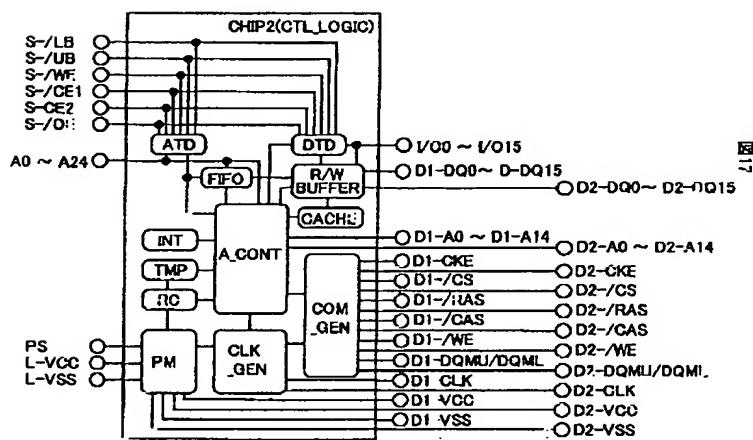
【図15】



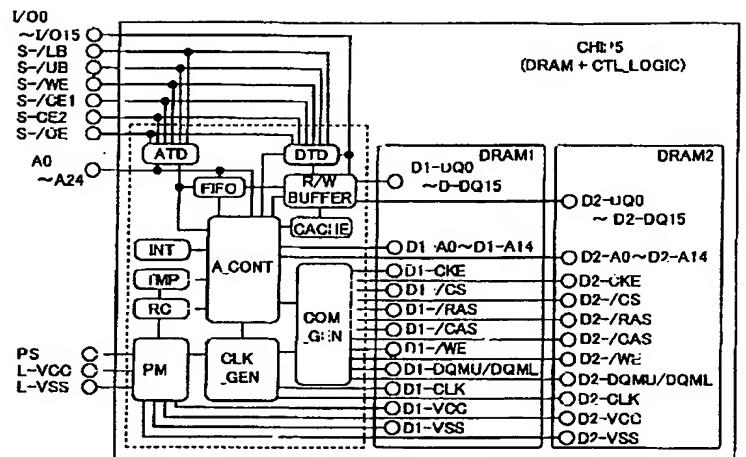
【図16】



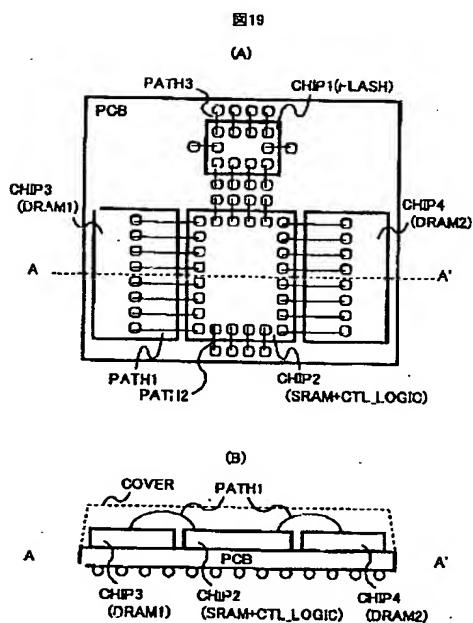
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 三浦 哲士

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 岩村 哲哉

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(20) 特開2003-6041 (P2003-6041A)

(72)発明者 星 浩一

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 斎藤 良和

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 5B015 JJ21 JJ31 KB36 KB52 PP03

5B060 CA15 MM01

5M024 AA50 AA70 BB22 BB39 EE12

EE30 KK32 KK33 LL11 PP01

PP02 PP03 PP05 PP07 PP08

PP10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.